

0001

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：基礎

一般的なMPUとMCUの特徴に関する記述として、最も適切なものはどれか。

- ア．MCUはCPUコアに加えてメモリや各種周辺回路を同一チップに集積することが多い。
- イ．MPUは必ずA/D変換器とモータ駆動回路を内蔵する。
- ウ．MCUは外部メモリを一切接続できない。
- エ．MPUは割込み機構を利用できない。

答え・解説

正答：ア

ア：MCUはCPUコア、メモリ、タイマ、通信、A/Dなどを一体化した製品が多く、制御用途で部品点数を抑えやすい。

イ：MPUがA/D変換器やモータ駆動回路を必ず内蔵するという要件はない。

ウ：外部メモリインタフェースを備えるMCUもあり、一切接続できないとはいえない。

エ：MPUでも一般に割込み機構を利用できる。

総合解説：MCUはCPUコア、メモリ、タイマ、通信、A/Dなどを一体化した製品が多く、制御用途で部品点数を抑えやすい。この問題では「MPUとMCUの特徴比較」として、MPUとMCUの一般的な集積範囲の違いを判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0002

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：基礎

デジタルフィルタ処理でDSPを利用する利点として、最も適切なものはどれか。

- ア．外部クロックがなくても常に最高速度で動作する。
- イ．乗算と加算を組み合わせた積和演算を効率よく実行できる構成を持つものが多い。
- ウ．全てのメモリアクセスを必ず1クロックで完了できる。
- エ．プログラムを書かなくても任意の信号処理を自動実行する。

答え・解説

正答：イ

ア：プロセッサ動作にはクロックやタイミング源が必要であり、DSP固有の利点ではない。

イ：FIRフィルタなどでは積和演算が頻出し、DSPはMAC命令や並列データ処理などでこれを高速化する設計が多い。

ウ：メモリ階層や待ち時間によりアクセス時間は変わる。

エ：DSPも目的に応じたプログラムや設定が必要である。

総合解説：FIRフィルタなどでは積和演算が頻出し、DSPはMAC命令や並列データ処理などでこれを高速化する設計が多い。この問題では「DSPの積和演算」として、DSPが積和演算を効率よく処理する理由を説明できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0003

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：基礎

浮動小数点演算を多用する制御アルゴリズムで、FPUを備えたプロセッサを選択する主な狙いはどれか。

- ア．割込みを完全に禁止するため。
- イ．RAMの不揮発化を実現するため。
- ウ．浮動小数点演算をハードウェアで効率的に処理し、ソフトウェア実装より演算負荷を下げるため。
- エ．A/D変換の分解能を自動的に高めるため。

答え・解説

正答：ウ

- ア：FPUの有無は割込み禁止機能とは別である。
- イ：FPUは演算器であり、RAMの揮発性を変える機能ではない。
- ウ：FPUは浮動小数点の加減乗除などをハードウェアで処理し、対象アルゴリズムの演算時間短縮に寄与する。
- エ：A/D分解能はADCの構成や基準電圧などで決まり、FPUの有無では決まらない。
- 総合解説：FPUは浮動小数点の加減乗除などをハードウェアで処理し、対象アルゴリズムの演算時間短縮に寄与する。この問題では「FPUの利用判断」として、FPUの適用効果と固定小数点演算との違いを判断できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0004

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：基礎

命令用メモリとデータ用メモリに独立した経路を持つハーバード型アーキテクチャの利点として、最も適切なものはどれか。

- ア．命令とデータを同じアドレス空間に置くことが必須になる。
- イ．キャッシュが不要になる。
- ウ．割込みレイテンシが必ず0になる。
- エ．命令フェッチとデータアクセスを並行して行える構成を取りやすい。

答え・解説

正答：エ

- ア：これはむしろ単一のアドレス空間を使うフォンノイマン型の説明に近い。
- イ：ハーバード型でも性能要件に応じてキャッシュを利用する。
- ウ：割込みレイテンシはパイプライン、優先度、退避処理などにも依存し、0にはならない。
- エ：命令系とデータ系の経路を分けることで、両者のアクセス競合を減らし並行処理しやすくなる。
- 総合解説：命令系とデータ系の経路を分けることで、両者のアクセス競合を減らし並行処理しやすくなる。この問題では「ハーバード型アーキテクチャ」として、ハーバード型構成が命令とデータの同時アクセスに有利な理由を判断できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0005

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：標準

実行時間のばらつきを抑えたい最優先割り込み処理のコード配置として、TCMを利用できる場合に適切な考え方はどれか。

- ア．キャッシュヒット・ミスの影響を避けたい部分を、固定的な低遅延アクセスが期待できるTCMに配置する。
- イ．TCMへ置けば割り込み優先度の設定が不要になる。
- ウ．TCMへ置けばRAM使用量は常に0になる。
- エ．TCMは不揮発メモリなので電源断後も内容が必ず保持される。

答え・解説

正答：ア

ア：TCMはプロセッサへ密結合されたメモリで、キャッシュミスによるアクセス時間変動を避けたいリアルタイム処理に適する。
イ：メモリ配置と割り込み優先度制御は別の問題である。
ウ：TCM自体がメモリ資源であり、配置したコードやデータ分の容量を消費する。
エ：TCMは一般に高速な密結合RAMとして実装され、必ず不揮発というわけではない。
総合解説：TCMはプロセッサへ密結合されたメモリで、キャッシュミスによるアクセス時間変動を避けたいリアルタイム処理に適する。この問題では「TCMとキャッシュの使い分け」として、TCMとキャッシュの時間予測性の違いを判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0006

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：標準

深いパイプラインを持つプロセッサで、予測が外れた条件分岐が性能低下を招く主な理由はどれか。

- ア．分岐命令を実行すると必ずRAMが消去されるため。
- イ．先読みしていた命令列を破棄し、正しい分岐先からパイプラインを再充填する必要があるため。
- ウ．分岐命令では割り込みが永久に禁止されるため。
- エ．分岐命令は必ず外部バスへ書込みを行うため。

答え・解説

正答：イ

ア：分岐命令は制御フローを変更する命令であり、RAM消去とは無関係である。
イ：分岐予測ミスでは誤った命令をフラッシュして正しい経路を取り直すため、空きサイクルが生じる。
ウ：分岐実行と割り込み禁止は別である。
エ：分岐自体に外部バスへの書込みが必須ということはない。
総合解説：分岐予測ミスでは誤った命令をフラッシュして正しい経路を取り直すため、空きサイクルが生じる。この問題では「分岐とパイプライン」として、パイプラインで分岐が性能へ与える影響を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0007

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：標準

電池駆動の温度ロガー用MCUを選定する。1秒ごとに温度をA/D変換し、無線モジュールと通信し、通常はスリープさせたい。選定時に最も適切な評価はどれか。

ア：最高クロック周波数が最大のMCUだけを選ぶ。

イ：ADCを使うため、CPUコアの種類は考慮せずRAM容量だけで決める。

ウ：必要なADC・通信I/F・低消費電力モード・動作温度範囲を満たし、性能と消費電力の余裕も確認する。

エ：スリープ機能があれば、動作温度範囲や無線通信I/Fは確認しなくてよい。

答え・解説

正答：ウ

ア：最高クロックだけでは低消費電力や必要周辺機能、環境適合性を判断できない。

イ：RAM容量だけでなく処理性能や周辺機能、電力、温度などの要件が必要である。

ウ：組み込みMCUはCPU性能だけでなく、必要周辺機能、低消費電力、環境条件、資源余裕を総合評価する。

エ：使用環境と通信要件を満たさなければ製品要求を満足できない。

総合解説：組み込みMCUはCPU性能だけでなく、必要周辺機能、低消費電力、環境条件、資源余裕を総合評価する。この問題では「MCU選定条件」として、MCU選定で処理性能だけでなく周辺機能・消費電力・温度範囲を評価できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0008

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：標準

コストを抑えた固定小数点DSPで信号処理を実装するとき、浮動小数点実装に比べて特に注意すべき事項はどれか。

ア：全ての演算結果が自動的に無限精度になる。

イ：乗算器を使用できない。

ウ：割込み処理を使用できない。

エ：スケーリングとオーバーフローを管理し、必要なダイナミックレンジと精度を確保する。

答え・解説

正答：エ

ア：固定小数点は有限ビット幅であり、量子化やオーバーフローが生じ得る。

イ：固定小数点DSPでも乗算器やMACを備えることが多い。

ウ：数値表現方式と割込み機能は別である。

エ：固定小数点では小数点位置を設計者が管理するため、桁あふれや量子化誤差を考慮したスケーリングが重要になる。

総合解説：固定小数点では小数点位置を設計者が管理するため、桁あふれや量子化誤差を考慮したスケーリングが重要になる。この問題では「固定小数点と浮動小数点」として、DSP処理で固定小数点と浮動小数点のトレードオフを評価できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0009

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：標準

32ビット周辺制御レジスタのビット5だけを1にし、他のビットを保持したい。最も適切な操作はどれか。

- ア．レジスタ値と (1 << 5) のビットORを取り、その結果を書き戻す。
- イ．レジスタ全体へ数値5を書き込む。
- ウ．レジスタ値と (1 << 5) のANDを取り、その結果を書き戻す。
- エ．レジスタ値を全ビット反転する。

答え・解説

正答：ア

ア：ORで対象ビットだけを1にでき、マスクで0の位置は元の値を保持できる。

イ：値5はビット0と2を1にするなど、目的のビット5だけを変更する操作ではない。

ウ：ANDでは対象ビット以外が0になり、元の状態を保持できない。

エ：全ビットが反転し、対象以外のビットまで変更してしまう。

総合解説：ORで対象ビットだけを1にでき、マスクで0の位置は元の値を保持できる。この問題では「ビット操作とレジスタ制御」として、ビット操作命令が組み込み制御で有効な場面を判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0010

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：標準

二つのMCUの処理性能を比較するとき、クロック周波数だけでは結論を出せない主な理由はどれか。

- ア．クロック周波数は電源電圧と常に同じ数値だから。
- イ．命令当たりの実行効率、パイプライン、キャッシュ、メモリ待ち時間なども実効性能に影響するため。
- ウ．クロック周波数はCPU以外の回路だけを示す値だから。
- エ．クロック周波数が高いほど必ず消費電力が低くなるから。

答え・解説

正答：イ

ア：クロック周波数と電源電圧は単位も意味も異なり、同じ数値になる必要はない。

イ：同じクロックでも1サイクル当たりの処理量やメモリ階層の違いで実行時間は変わる。

ウ：CPU動作クロックはプロセッサ性能に関係するが、それだけでは十分でないという点が重要である。

エ：一般に周波数上昇は動的消費電力増加要因となり得る。

総合解説：同じクロックでも1サイクル当たりの処理量やメモリ階層の違いで実行時間は変わる。この問題では「性能指標の総合評価」として、プロセッサ性能評価でクロック周波数だけに依存しない判断ができる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0011

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：応用

1ms周期で必ず完了しなければならない制御処理がある。候補Aは平均0.3msだがキャッシュミス時に1.4ms、候補Bは常に0.7ms以内で完了する。ほかの条件が同等なら、リアルタイム性の観点から適切な判断はどれか。

- ア．候補Aを優先する。平均実行時間だけが短ければデッドライン超過は問題にならない。
- イ．両者とも同等である。キャッシュは実行時間に影響しない。
- ウ．候補Bを優先する。デッドライン保証では平均値より最悪時の実行時間が重要だから。
- エ．候補Aを選び、制御周期を変更せず最悪時の超過を無視する。

答え・解説

正答：ウ

ア：平均が短くても最悪時に1msを超えるなら期限違反が起こり得る。

イ：キャッシュヒット・ミスは実行時間の変動要因になり得る。

ウ：ハードリアルタイム性では期限超過を避ける必要があり、最悪実行時間が1ms以内に収まる候補Bが安全側である。

エ：要求された周期を満たせない設計をそのまま採用するのは適切でない。

総合解説：ハードリアルタイム性では期限超過を避ける必要があり、最悪実行時間が1ms以内に収まる候補Bが安全側である。この問題では「WCETを考慮したプロセッサ選定」として、リアルタイム制御で平均性能より最悪実行時間を重視する理由を判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0012

2-1 プロセッサ・演算 > MPU・MCU・DSP | 難易度：応用

画像センサからの大量データに対して、単純な画素前処理を高スループットで行い、その後に複雑な制御判断を行う組み込み装置を設計する。最も適切な構成方針はどれか。

- ア．全処理を低速GPIOのソフトウェアビット操作だけで行う。
- イ．前処理を人手で行い、プロセッサは使用しない。
- ウ．複雑な制御判断だけをアナログ抵抗回路で実装し、変更可能性をなくす。
- エ．規則的で並列化しやすい前処理をDSPやプログラマブルロジックへ寄せ、複雑な制御判断をMPU/MCUで処理する。

答え・解説

正答：エ

ア：大量データの高スループット処理には不向きである。

イ：組み込みシステムの自動処理要件を満たさない。

ウ：複雑な条件分岐や将来変更がある制御判断には柔軟なプロセッサ処理が適する。

エ：処理特性に応じて専用・並列演算と汎用制御を分担すると、性能と柔軟性の両立を図りやすい。

総合解説：処理特性に応じて専用・並列演算と汎用制御を分担すると、性能と柔軟性の両立を図りやすい。この問題では「演算処理の機能分担」として、CPU・DSP・専用回路の役割分担を処理特性から判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0013

2-1 プロセッサ・演算 > マルチコア・高速化技術 | 難易度：基礎

マルチコア化による高速化について、最も適切な説明はどれか。

- ア．逐次処理部分が残るため、コア数を増やしても速度向上には上限がある。
- イ．コア数を2倍にすれば、どんなプログラムでも必ず実行時間が半分になる。
- ウ．マルチコアでは共有メモリを使用できない。
- エ．マルチコアでは割込みが利用できない。

答え・解説

正答：ア

ア：並列化できない処理がある限り、その逐次部分が全体高速化の上限を決める。

イ：逐次部分や同期、通信、メモリ競合があるため必ず2倍にはならない。

ウ：共有メモリ方式のマルチコアシステムは一般的に存在する。

エ：各コアで割込み処理を行う構成も可能である。

総合解説：並列化できない処理がある限り、その逐次部分が全体高速化の上限を決める。この問題では「Amdahlの法則の考え方」として、マルチコアで並列化可能部分だけが高速化に寄与することを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0014

2-1 プロセッサ・演算 > マルチコア・高速化技術 | 難易度：基礎

共有メモリ型マルチコアでキャッシュコヒーレンシ機構が必要となる主な理由はどれか。

- ア．CPUクロックを全コアで完全に異なる値にするため。
- イ．同じ共有データの複数キャッシュコピーについて、各コアが矛盾した値を参照することを防ぐため。
- ウ．ROMをRAMへ変換するため。
- エ．A/D変換器の量子化誤差を減らすため。

答え・解説

正答：イ

ア：キャッシュコヒーレンシの目的はクロック設定ではなくデータ整合性である。

イ：各コアのキャッシュに同一アドレスのコピーがある場合、更新の整合性を保つ仕組みが必要になる。

ウ：メモリ種別を変換する機能ではない。

エ：ADCの量子化誤差とは無関係である。

総合解説：各コアのキャッシュに同一アドレスのコピーがある場合、更新の整合性を保つ仕組みが必要になる。この問題では「キャッシュコヒーレンシ」として、キャッシュコヒーレンシの目的を説明できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0015

2-1 プロセッサ・演算 > マルチコア・高速化技術 | 難易度：基礎

SIMD命令が特に有効な処理はどれか。

- ア．一つの外部スイッチを人が押すまで無期限に待つ処理だけ。
- イ．不揮発メモリの内容を電源断後も保持する処理。
- ウ．多数の画素に同じ加算・乗算を繰り返す画像処理。
- エ．割込みベクタのアドレスを1個だけ設定する処理。

答え・解説

正答：ウ

ア：データ並列性がほとんどなく、SIMDの利点を活かしにくい。

イ：データ保持特性はメモリ技術の問題でありSIMDとは無関係である。

ウ：SIMDは複数データ要素へ同じ演算を一度に適用する処理に適する。

エ：単一設定処理は多数要素への同一演算ではない。

総合解説：SIMDは複数データ要素へ同じ演算を一度に適用する処理に適する。この問題では「SIMDの適用」として、SIMDが同一演算を多数データへ適用する処理に向くことを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0016

2-1 プロセッサ・演算 > マルチコア・高速化技術 | 難易度：標準

二つのコアが共有カウンタに対して同時に「読出し→1加算→書戻し」を行う。排他制御をしない場合に起こり得る問題はどれか。

- ア．共有カウンタが必ず不揮発メモリへ変わる。
- イ．CPUクロックが自動的に0Hzになる。
- ウ．A/D変換分解能が1ビット増える。
- エ．双方が同じ旧値を読み、片方の加算結果が失われる更新競合。

答え・解説

正答：エ

ア：競合状態はメモリの揮発性を変えない。

イ：共有変数競合の直接的結果ではない。

ウ：共有変数の競合とADC分解能は無関係である。

エ：読み出しと書戻しが不可分でないため、同時実行で更新の取りこぼしが起こり得る。

総合解説：読み出しと書戻しが不可分でないため、同時実行で更新の取りこぼしが起こり得る。この問題では「マルチコアの競合状態」として、共有変数への同時更新で競合状態が生じることを判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0017

2-1 プロセッサ・演算 > マルチコア・高速化技術 | 難易度：標準

マルチコア化した処理で、全スレッドが長時間同じロックを保持する共有資源に頻繁にアクセスしている。性能改善策として最も適切な方向性はどれか。

- ア．クリティカルセクションを短くし、可能なら共有状態を分割して競合を減らす。
- イ．全ての処理をさらに一つの巨大なロックで囲む。
- ウ．キャッシュを無条件で全て無効化する。
- エ．スレッド数を増やし続ければ必ず改善する。

答え・解説

正答：ア

ア：共有ロックへの待ち時間を減らすことが実効並列度の向上につながる。

イ：直列化が強まり、並列性能はさらに低下しやすい。

ウ：ロック競合そのものを解消する方法ではなく、性能低下を招く可能性もある。

エ：競合資源がボトルネックなら、スレッド増加で待ちが増える場合がある。

総合解説：共有ロックへの待ち時間を減らすことが実効並列度の向上につながる。この問題では「ロック競合と性能」として、ロック競合が並列性能を低下させることを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0018

2-1 プロセッサ・演算 > マルチコア・高速化技術 | 難易度：標準

コアAとコアBが論理的には別の変数を書き換えているのに、同じキャッシュライン上に配置されているため整合性通信が頻発して性能が低下した。この現象は何か。

- ア．デッドコード除去
- イ．偽共有（false sharing）
- ウ．量子化雑音
- エ．ウォッチドッグリセット

答え・解説

正答：イ

ア：デッドコード除去は未使用コードを削除する最適化である。

イ：別変数でも同一キャッシュラインを共有して更新すると、ライン単位の無効化などが頻発することがある。

ウ：量子化雑音はA/D変換などの離散化に関する現象である。

エ：ウォッチドッグはソフトウェア監視用タイマであり、キャッシュライン競合ではない。

総合解説：別変数でも同一キャッシュラインを共有して更新すると、ライン単位の無効化などが頻発することがある。この問題では「偽共有の識別」として、偽共有がキャッシュライン単位の整合性処理を増やすことを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0019

2-1 プロセッサ・演算 > マルチコア・高速化技術 | 難易度：標準

パイプライン処理で、直前の命令結果を次の命令がすぐ利用するために待ちが必要になる現象はどれか。

- ア．センサヒステリシス
- イ．キャリブレーション
- ウ．データハザード
- エ．PWMデッドタイム

答え・解説

正答：ウ

ア：これは入力変化方向によってセンサ出力が異なる性質で、CPUパイプラインとは別である。

イ：校正作業を指し、命令依存による待ちではない。

ウ：命令間のデータ依存により、必要な値が準備できるまで待ちやフォワーディングが必要になる。

エ：PWM相補出力で同時導通を避ける時間であり、命令パイプラインとは無関係である。

総合解説：命令間のデータ依存により、必要な値が準備できるまで待ちやフォワーディングが必要になる。この問題では「データハザード」として、パイプラインのデータハザードを理解できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0020

2-1 プロセッサ・演算 > マルチコア・高速化技術 | 難易度：標準

演算コア数を2倍にしたが、大量データを同じ外部メモリから読み出す処理の速度がほとんど向上しなかった。最も疑うべき要因はどれか。

- ア．コア数を増やすと必ず命令セットが消滅する。
- イ．外部メモリ帯域はコア数に比例して自動的に無限大になる。
- ウ．マルチコアではデータを読み出せない。
- エ．外部メモリ帯域が飽和し、コアを増やしても必要データを十分な速度で供給できていない。

答え・解説

正答：エ

ア：コア数増加で命令セットが消滅することはない。

イ：物理的なバス幅・周波数・メモリ性能に上限がある。

ウ：マルチコアでもメモリ読み出しは行う。

エ：演算器が増えてもメモリ帯域が律速なら、全体性能は帯域上限に制約される。

総合解説：演算器が増えてもメモリ帯域が律速なら、全体性能は帯域上限に制約される。この問題では「メモリ帯域ボトルネック」として、メモリ帯域が並列処理のボトルネックになる条件を評価できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0021

2-1 プロセッサ・演算 > マルチコア・高速化技術 | 難易度：応用

周期制御タスクと画像解析タスクを2コアへ分割する。周期制御はデッドラインが厳しく、画像解析は大容量メモリを使う。最も適切な設計方針はどれか。

ア．周期制御を専用コアへ割り当て、画像解析からの共有バス・キャッシュ・ロック干渉も評価する。

イ．両タスクを同じロックで常時直列化し、マルチコアを使用しない。

ウ．画像解析が高速なら周期制御のデッドラインは確認しなくてよい。

エ．コアを分ければ共有メモリやバスの干渉は絶対に発生しない。

答え・解説

正答：ア

ア：コア分離だけでなく共有資源干渉を含めて最悪応答時間を評価することがリアルタイム設計では重要である。

イ：必要以上の直列化はマルチコアの利点を失う。

ウ：周期制御の期限要件は独立して確認する必要がある。

エ：共有キャッシュ、メモリ、バスなどで干渉が起こり得る。

総合解説：コア分離だけでなく共有資源干渉を含めて最悪応答時間を評価することがリアルタイム設計では重要である。この問題では「マルチコアのタスク分割」として、リアルタイム処理を複数コアへ割り当てる際に共有資源と干渉を考慮できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0022

2-1 プロセッサ・演算 > マルチコア・高速化技術 | 難易度：応用

キャッシュと投機実行で平均処理時間は大幅に短縮できるが、制御周期の最悪応答時間保証が厳しい。設計判断として最も適切なものはどれか。

ア．平均処理時間が短いので最悪時の測定は不要である。

イ．高速化機構の平均効果だけでなく、ミスや競合時の遅延も含めてWCETを評価し、必要ならTCM等で時間予測性を確保する。

ウ．キャッシュを使うと必ず全アクセスが同じ時間になる。

エ．投機実行があるCPUではリアルタイム処理を一切実装できない。

答え・解説

正答：イ

ア：デッドライン保証には最悪時評価が必要である。

イ：リアルタイム制御では平均性能と最悪時決定性の両方を評価し、要求に応じてメモリ配置や高速化機構を使い分ける。

ウ：ヒットとミスでアクセス時間が変化する。

エ：適切な分析・制御・構成により利用可能な場合があり、一律に不可能ではない。

総合解説：リアルタイム制御では平均性能と最悪時決定性の両方を評価し、要求に応じてメモリ配置や高速化機構を使い分ける。この問題では「高速化機構と決定性」として、高速化による平均性能向上と決定性低下のトレードオフを評価できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0023

2-1 プロセッサ・演算 > System LSI・FPGA・HDL | 難易度：基礎

FPGAを用いる主な利点として、最も適切なものはどれか。

- ア．必ずASICより単価が低く、消費電力も小さい。
- イ．ソフトウェアと同じく1命令ずつ逐次実行することしかできない。
- ウ．製造後でも論理構成を再設定できるため、仕様変更や試作へ柔軟に対応しやすい。
- エ．HDLや回路設計が不要で、仕様書だけで任意の回路が完成する。

答え・解説

正答：ウ

ア：量産規模や回路規模によりコスト・電力は変わり、常にFPGAが優位とは限らない。

イ：FPGAでは複数回路を並列に動作させる構成が可能である。

ウ：FPGAはプログラマブルロジックであり、開発後も構成データを書き換えて論理機能を変更できる。

エ：通常はHDLやIP、制約設定などの設計工程が必要である。

総合解説：FPGAはプログラマブルロジックであり、開発後も構成データを書き換えて論理機能を変更できる。この問題では「FPGAの特徴」として、FPGAと固定機能ASICの基本的な違いを説明できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0024

2-1 プロセッサ・演算 > System LSI・FPGA・HDL | 難易度：基礎

FPGA開発における「論理合成」の説明として正しいものはどれか。

- ア．完成した基板を物理的に切断して回路を変更する。
- イ．A/D変換値を音声へ変換する。
- ウ．CPUの割り込み優先度を実行時に並べ替える。
- エ．VerilogやVHDLなどのRTL記述を、対象デバイスへ実装可能な論理ネットリストへ変換する。

答え・解説

正答：エ

ア：これは論理合成ではなく物理作業である。

イ：論理合成はデジタル回路設計工程の用語である。

ウ：割り込み制御はプロセッサ動作であり、HDLの論理合成とは異なる。

エ：論理合成はHDLで記述したRTLを論理素子・プリミティブへマッピングする工程である。

総合解説：論理合成はHDLで記述したRTLを論理素子・プリミティブへマッピングする工程である。この問題では「RTL合成」として、RTL記述が合成によってゲートレベルの回路へ変換される流れを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0025

2-1 プロセッサ・演算 > System LSI・FPGA・HDL | 難易度：標準

入力AとBの現在値だけで出力Y=A AND Bを決め、過去状態を保持しない回路をHDLで設計する。この回路の分類はどれか。

- ア．組合せ回路
- イ．順序回路
- ウ．A/D変換回路
- エ．ウォッチドッグ回路

答え・解説

正答：ア

- ア：出力が現在の入力だけで決まり状態を保持しないので組合せ回路である。
- イ：順序回路はフリップフロップなどで状態を保持し、過去状態も出力に影響する。
- ウ：デジタル論理式A AND Bを実現する回路であり、アナログ入力を量子化するADCではない。
- エ：ソフトウェア停止監視用タイマとは異なる。

総合解説：出力が現在の入力だけで決まり状態を保持しないので組合せ回路である。 この問題では「組合せ回路と順序回路」として、組合せ回路と順序回路の違いをHDL設計で判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0026

2-1 プロセッサ・演算 > System LSI・FPGA・HDL | 難易度：標準

組合せ回路を記述したつमりのHDLで、ある条件分岐では出力へ値を代入していなかった。合成時に生じやすい問題はどれか。

- ア．必ずA/D変換器が推論される。
- イ．前の値を保持する必要が生じ、意図しないラッチが推論される。
- ウ．FPGAの電源電圧が自動的に上昇する。
- エ．全てのクロックが停止することが仕様上保証される。

答え・解説

正答：イ

- ア：代入漏れからADCが生成されることはない。
- イ：組合せ回路で全入力条件に対して出力を定義しないと、値保持のためラッチが推論されることがある。
- ウ：HDL記述の条件分岐と電源電圧は別である。
- エ：そのような保証はなく、意図しない記憶素子が問題となる。

総合解説：組合せ回路で全入力条件に対して出力を定義しないと、値保持のためラッチが推論されることがある。 この問題では「ラッチ推論の回避」として、HDLの不完全な組合せ記述が意図しないラッチ推論を招くことを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0027

2-1 プロセッサ・演算 > System LSI・FPGA・HDL | 難易度：標準

外部の非同期1ビット信号をFPGA内部のクロック領域へ取り込みたい。一般的なメタステーブル対策として適切なものはどれか。

- ア．非同期信号をそのまま全ての組合せ回路へ配線する。
- イ．信号線を必ずアナログA/D変換器へ通す。
- ウ．受信クロックで動作するフリップフロップを複数段直列にした同期化回路を用いる。
- エ．同期クロックを廃止して電源だけで動かす。

答え・解説

正答：ウ

ア：メタステーブルや不定動作が伝播する危険がある。

イ：デジタル非同期信号のクロックドメイン移行対策としてADCは適切でない。

ウ：単一ビットの非同期信号では2段以上の同期化FFを用いてメタステーブルが後段へ伝播する確率を下げることが一般的である。

エ：同期回路の基本動作を失い、対策にならない。

総合解説：単一ビットの非同期信号では2段以上の同期化FFを用いてメタステーブルが後段へ伝播する確率を下げることが一般的である。この問題では「CDCとメタステーブル」として、非同期信号を同期クロック領域へ取り込む際のメタステーブル対策を判断できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0028

2-1 プロセッサ・演算 > System LSI・FPGA・HDL | 難易度：標準

同期回路のフリップフロップで、クロック有効エッジより一定時間前からデータ入力を安定させる必要がある。この時間は何か。

- ア．ホールド時間
- イ．PWMデッドタイム
- ウ．ADC変換時間
- エ．セットアップ時間

答え・解説

正答：エ

ア：ホールド時間はクロックエッジ後にデータを保持すべき最小時間である。

イ：相補スイッチの同時導通を避ける時間で、FFの入力タイミングではない。

ウ：アナログ入力をデジタル値へ変換する時間である。

エ：セットアップ時間はクロックエッジの前にデータが安定していなければならない最小時間である。

総合解説：セットアップ時間はクロックエッジの前にデータが安定していなければならない最小時間である。この問題では「同期回路のタイミング制約」として、セットアップ時間・ホールド時間の意味をタイミング設計で判断できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0029

2-1 プロセッサ・演算 > System LSI・FPGA・HDL | 難易度：応用

複数のディスクリートICで構成する量産製品について、省スペース化と高速な内部通信が重要である一方、仕様変更も想定される。System LSI化を検討する際の判断として最も適切なものはどれか。

ア．集積による面積・性能・消費電力の効果と、開発費・変更容易性・量産規模を合わせて評価する。

イ．集積すれば必ず開発費が0になり、仕様変更も無制限に無料になると考える。

ウ．内部通信性能は集積度と無関係なので一切評価しない。

エ．量産規模や将来変更を無視し、常にASIC化だけを選ぶ。

答え・解説

正答：ア

ア：システムLSI化は集積効果が大きい一方、開発コストや柔軟性も含めた製品全体のトレードオフで判断する。

イ：LSI開発には設計・検証コストがあり、固定化部分の変更には再設計が必要になる。

ウ：オンチップ化で配線長や帯域などが変わり、性能評価が必要である。

エ：製品条件を無視した一律判断は適切でない。

総合解説：システムLSI化は集積効果が大きい一方、開発コストや柔軟性も含めた製品全体のトレードオフで判断する。この問題では「System LSI化の判断」として、System LSI化の利点と再設計コストのトレードオフを評価できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0030

2-1 プロセッサ・演算 > System LSI・FPGA・HDL | 難易度：応用

FPGAでRTLシミュレーションは全テスト合格したが、実機では高クロック時だけ誤動作した。次に優先して確認すべき事項はどれか。

ア．RTLシミュレーションが通ったので、タイミング解析は不要と判断する。

イ．実装後のタイミング解析でセットアップ/ホールド違反やクロック制約漏れを確認する。

ウ．FPGA内部の全信号を非同期化する。

エ．A/D変換器の分解能を上げる。

答え・解説

正答：イ

ア：機能シミュレーションだけでは物理遅延によるタイミング違反を検出できない。

イ：論理機能が正しくても配線遅延を含む実装後タイミングが満たされなければ実機で誤動作する可能性がある。

ウ：タイミング問題を悪化させる可能性が高い。

エ：デジタル回路の高クロック誤動作の主因確認には直接関係しない。

総合解説：論理機能が正しくても配線遅延を含む実装後タイミングが満たされなければ実機で誤動作する可能性がある。この問題では「FPGA設計検証」として、FPGAのRTL設計で機能シミュレーションとタイミング制約の両方を確認できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0031

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：基礎

キャッシュ、主記憶、外部記憶などを階層化する主な目的はどれか。

ア．全てのメモリを必ず同一速度・同一容量にする。

イ．RAMを全て不揮発化する。

ウ．高速・高価・小容量の記憶と、低速・安価・大容量の記憶を組み合わせで平均アクセス性能と容量を両立する。

エ．割込みを使わずにする。

答え・解説

正答：ウ

ア：階層化は異なる特性の記憶を組み合わせる考え方である。

イ：メモリ階層の目的は揮発性の変更ではない。

ウ：メモリ階層は速度・容量・コストの異なる記憶を組み合わせ、局所性を利用して実効性能を高める。

エ：割込み機構とメモリ階層は別である。

総合解説：メモリ階層は速度・容量・コストの異なる記憶を組み合わせ、局所性を利用して実効性能を高める。この問題では「メモリ階層の目的」として、メモリ階層の基本目的を説明できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0032

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：基礎

SRAMとDRAMの一般的な特徴の組合せとして適切なものはどれか。

ア．SRAMは必ず不揮発で、DRAMは必ずROMである。

イ．DRAMはリフレッシュが不要で、SRAMだけがリフレッシュを必要とする。

ウ．SRAMとDRAMには速度・密度・回路方式の違いがない。

エ．SRAMはリフレッシュ不要で高速な用途に向き、DRAMは高密度化しやすいが定期的なリフレッシュが必要である。

答え・解説

正答：エ

ア：どちらも一般に揮発性RAMであり、ROMではない。

イ：関係が逆である。

ウ：構造と特性に明確な違いがある。

エ：SRAMはフリップフロップ系セルで保持し、DRAMは電荷保持のためリフレッシュを必要とする。

総合解説：SRAMはフリップフロップ系セルで保持し、DRAMは電荷保持のためリフレッシュを必要とする。この問題では「SRAMとDRAM」として、SRAMとDRAMの一般的な特徴を区別できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0033

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：基礎

組み込み機器のファームウェア保存先として一般に用いられ、電源断後も内容を保持でき、電氣的に書換え可能なものはどれか。

- ア．フラッシュメモリ
- イ．通常のSRAM
- ウ．CPUレジスタ
- エ．キャッシュだけ

答え・解説

正答：ア

ア：フラッシュメモリは不揮発で電氣的消去・書換えが可能なためファームウェア保存に広く用いられる。
イ：通常のSRAMは電源断で内容を失う揮発性メモリである。
ウ：CPUレジスタも通常は揮発性で、長期保存用途ではない。
エ：キャッシュは高速一時記憶であり、電源断保持を目的としない。
総合解説：フラッシュメモリは不揮発で電氣的消去・書換えが可能なためファームウェア保存に広く用いられる。この問題では「不揮発メモリの識別」として、ROM・Flash・RAMのデータ保持特性を判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0034

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：基礎

配列を先頭から連続して走査するプログラムがキャッシュを活用しやすい主な理由はどれか。

- ア．全ての要素が同じ物理アドレスを持つから。
- イ．近接するアドレスのデータを続けて参照する空間的局所性が高いから。
- ウ．配列アクセスでは主記憶を使用しないから。
- エ．空間的局所性はランダムアクセスほど高くなるから。

答え・解説

正答：イ

ア：配列要素は通常異なるアドレスに配置される。
イ：キャッシュライン単位で近隣データも取り込むため、連続アクセスでは空間的局所性を利用しやすい。
ウ：キャッシュミス時には主記憶など下位階層へアクセスする。
エ：ランダムアクセスでは一般に空間的局所性は低くなりやすい。
総合解説：キャッシュライン単位で近隣データも取り込むため、連続アクセスでは空間的局所性を利用しやすい。この問題では「参照の局所性」として、時間的局所性と空間的局所性を区別できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0035

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：標準

キャッシュのヒット時間が2ns、ミス率が5%、ミス時の追加ペナルティが40nsである。単純化して平均アクセス時間を $2 + 0.05 \times 40$ とすると、何nsか。

- ア．2ns（ヒット時間だけ）
- イ．40ns（ミスペナルティそのもの）
- ウ．4ns（ヒット時間 + ミス率 × ペナルティ）
- エ．42ns（全アクセスをミス扱い）

答え・解説

正答：ウ

ア：ミス時の追加ペナルティを考慮していない。

イ：これはミスペナルティそのものに近く、ヒット率を反映していない。

ウ： $2 + 0.05 \times 40 = 2 + 2 = 4\text{ns}$ である。

エ：全アクセスがミスする場合に近い値であり、ミス率5%を反映していない。

総合解説： $2 + 0.05 \times 40 = 2 + 2 = 4\text{ns}$ である。この問題では「平均メモリアクセス時間」として、キャッシュヒット率と平均アクセス時間の関係を計算できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0036

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：標準

ダイレクトマップキャッシュで、異なる二つのメモリブロックが同じキャッシュライン位置へ割り当てられ、交互参照でミスが多発した。このミスの主な分類はどれか。

- ア．コンパイルエラー
- イ．量子化誤差
- ウ．ウォッチドッグタイムアウト
- エ．競合ミス

答え・解説

正答：エ

ア：実行時のキャッシュ配置問題であり、構文やコンパイルの問題ではない。

イ：A/Dなどの離散化誤差とは無関係である。

ウ：監視タイマの期限超過とは異なる。

エ：同じセット/ラインへ割り当てられる複数ブロックが互いに追い出し合うため発生する。

総合解説：同じセット/ラインへ割り当てられる複数ブロックが互いに追い出し合うため発生する。この問題では「キャッシュ競合ミス」として、ダイレクトマップ方式で競合ミスが起こることを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0037

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：標準

Write Back方式のキャッシュに関する説明として適切なものはどれか。

- ア．CPUの書き込みをまずキャッシュへ反映し、汚れたラインを置換する際などに下位メモリへ書き戻す。
- イ．CPUが書くたびに必ず同時に下位メモリへ書く方式だけを指す。
- ウ．書き込みを一切許可しない方式である。
- エ．キャッシュラインを必ず1バイトに固定する方式である。

答え・解説

正答：ア

ア：Write Backは下位メモリへの書き込み回数を減らせる一方、キャッシュと主記憶の一時的不一致を管理する必要がある。

イ：それはWrite Throughの説明である。

ウ：Write Backでも書き込みは可能である。

エ：書き込み方針とラインサイズは別の設計項目である。

総合解説：Write Backは下位メモリへの書き込み回数を減らせる一方、キャッシュと主記憶の一時的不一致を管理する必要がある。この問題では「キャッシュ書き込み方式」として、Write BackとWrite Throughの違いを判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0038

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：標準

Write Backデータキャッシュを有効にしたCPUが送信用バッファを更新し、その直後にDMAが同じ主記憶バッファを読み出して周辺装置へ送信する。DMAへ最新データを見せるために必要となり得る処理はどれか。

- ア．DMA開始前に主記憶を全て0で初期化する。
- イ．DMA開始前に対象キャッシュラインをクリーンして、更新内容を主記憶へ書き戻す。
- ウ．ADCの基準電圧を上げる。
- エ．キャッシュラインを汚れたままにし、DMAが自動的にCPUキャッシュを必ず参照すると仮定する。

答え・解説

正答：イ

ア：最新データが失われ、目的に反する。

イ：CPUだけが最新値をキャッシュに保持している場合、クリーンにより主記憶へ反映してDMAから見えるようにする。

ウ：DMAとキャッシュの整合性とは無関係である。

エ：DMAがCPUキャッシュを経由しない構成では古い主記憶値を読む可能性がある。

総合解説：CPUだけが最新値をキャッシュに保持している場合、クリーンにより主記憶へ反映してDMAから見えるようにする。この問題では「DMAとキャッシュ整合性」として、DMAとデータキャッシュを併用する際にキャッシュ保守が必要な場合を判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0039

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：標準

単一ビット誤りの自動訂正を要求するメモリ保護として、一般にパリティより適したものはどれか。

- ア．単純な偶数パリティだけ
- イ．PWM
- ウ．SECDEDなどのECC
- エ．ウォッチドッグタイマ

答え・解説

正答：ウ

ア：単純パリティは誤り検出はできても、どのビットが誤ったかを特定して訂正する情報は不足する。

イ：PWMはデューティ比で電力や信号を制御する方式で、メモリ訂正ではない。

ウ：適切なECCでは1ビット誤り訂正と複数ビット誤り検出を行える構成があり、信頼性向上に用いられる。

エ：CPUソフトウェア監視用途であり、メモリビットの訂正機能ではない。

総合解説：適切なECCでは1ビット誤り訂正と複数ビット誤り検出を行える構成があり、信頼性向上に用いられる。この問題では「ECCによるメモリ保護」として、ECCとパリティの誤り検出・訂正能力の違いを判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0040

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：標準

フラッシュメモリへ100msごとに同じ管理カウンタを書き換える設計で寿命が問題になった。改善策として最も適切な方向性はどれか。

- ア．書換え頻度をさらに上げて1msごとにする。
- イ．同一セルだけを必ず使い続ける。
- ウ．電源断時にもRAMだけに保持し、永続化を一切行わない。
- エ．RAM上で更新を蓄積し、必要なタイミングでまとめて保存する、または書込み先を分散する。

答え・解説

正答：エ

ア：消去・書換え回数が増え、寿命問題を悪化させやすい。

イ：局所的な摩耗が集中する。

ウ：永続保存要求があるならデータを失うため要件を満たさない。

エ：フラッシュには消去・書換え回数の制約があるため、書込み頻度低減やウェアレベリングが寿命改善に有効である。

総合解説：フラッシュには消去・書換え回数の制約があるため、書込み頻度低減やウェアレベリングが寿命改善に有効である。この問題では「フラッシュ書換え寿命」として、フラッシュメモリの書換え寿命を考慮して更新頻度の高いデータを扱う。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0041

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：応用

処理対象データのワーキングセットがL1キャッシュ容量を大きく超えたところから実行時間が急増した。最も妥当な説明はどれか。

- ア．再利用するデータがキャッシュに残りにくくなり、下位メモリへのアクセスが増えた。
- イ．キャッシュ容量を超えるとCPUの命令セットが自動的に減る。
- ウ．キャッシュ容量を超えるとDRAMが必ず不揮発化する。
- エ．キャッシュミスが増えるほど平均アクセス時間は必ず短くなる。

答え・解説

正答：ア

ア：ワーキングセットがキャッシュに収まらないと置換が増え、ヒット率低下によって平均アクセス時間が増える。

イ：命令セットが容量に応じて消えることはない。

ウ：メモリの揮発性は変化しない。

エ：通常は遅い下位階層へのアクセス増加で平均時間は長くなる。

総合解説：ワーキングセットがキャッシュに収まらないと置換が増え、ヒット率低下によって平均アクセス時間が増える。この問題では「ワーキングセットとキャッシュ」として、キャッシュ容量とワーキングセットの関係から性能変化を説明できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0042

2-2 メモリ・バス・I/O > メモリ階層・キャッシュ・ROM/RAM | 難易度：応用

制御ループの係数と最優先ISRのコードは小容量だが、通信ログは大容量で期限が緩い。TCM、キャッシュ付き外部RAMを利用できる場合の配置として最も適切なものはどれか。

- ア．全データを必ず最も遅い外部RAMへ置き、TCMを使用しない。
- イ．制御係数とISRをTCMへ、通信ログをキャッシュ付き外部RAMへ置き、決定性と容量を使い分ける。
- ウ．ログだけをTCMへ置き、最優先ISRを低速メモリへ置く。
- エ．TCMとキャッシュ付きRAMには特性差がないので配置は無関係である。

答え・解説

正答：イ

ア：厳しいリアルタイム要求で利用可能な低遅延資源を放棄している。

イ：小容量で時間決定性が重要な領域をTCMへ、大容量で平均性能を重視する領域を外部RAMへ置くのが合理的である。

ウ：優先度の高い時間制約処理の決定性を悪化させる。

エ：容量・遅延・決定性に違いがある。

総合解説：小容量で時間決定性が重要な領域をTCMへ、大容量で平均性能を重視する領域を外部RAMへ置くのが合理的である。この問題では「リアルタイムメモリ配置」として、リアルタイム性を重視したメモリ配置でキャッシュとTCMの特性を使い分けられる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0043

2-2 メモリ・バス・I/O > バス・DMA・割込み | 難易度：基礎

DMAを利用する主な目的として最も適切なものはどれか。

ア．A/D変換のアナログ入力電圧範囲を自動的に2倍にする。

イ．CPUクロックを発生させる発振器として使う。

ウ．メモリと周辺装置間などのデータ転送をDMAコントローラに任せ、CPUの転送処理負荷を減らす。

エ．フラッシュメモリを必ず無限寿命にする。

答え・解説

正答：ウ

ア：DMAはデジタルデータ転送機構であり、ADC入力範囲を変えない。

イ：DMAはクロック源ではない。

ウ：DMAはCPUが1ワードずつ転送する代わりに専用コントローラが転送し、CPUを他処理へ使いやすくする。

エ：書換え寿命を無限にする機能ではない。

総合解説：DMAはCPUが1ワードずつ転送する代わりに専用コントローラが転送し、CPUを他処理へ使いやすくする。この問題では「DMAの基本」として、DMAがCPUを介さずデータ転送を行う利点を説明できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0044

2-2 メモリ・バス・I/O > バス・DMA・割込み | 難易度：基礎

低頻度で発生する外部イベントを検出し、待ち時間中はCPUを他処理に使いたい。一般に適した方式はどれか。

ア．無条件に最短周期で永久ポーリングする方式だけ

イ．外部イベントを一切確認しない方式

ウ．フラッシュメモリイベントを推測して事前記録する方式

エ．イベント発生時にCPUへ通知する割込み方式

答え・解説

正答：エ

ア：CPU時間や消費電力を浪費する場合がある。

イ：イベント検出要求を満たさない。

ウ：実際のイベント検出にはならない。

エ：低頻度イベントでは常時監視のポーリングを避け、割込み通知でCPU時間を有効利用しやすい。

総合解説：低頻度イベントでは常時監視のポーリングを避け、割込み通知でCPU時間を有効利用しやすい。この問題では「割込みとポーリング」として、割込み方式とポーリング方式の違いを判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0045

2-2 メモリ・バス・I/O > バス・DMA・割込み | 難易度：基礎

ベクタ割込み方式の特徴として最も適切なものはどれか。

- ア．割込み要因に対応したハンドラのアドレスをベクタから取得し、処理へ分岐できる。
- イ．全ての割込みで必ず同じ要因判定処理を長時間ポーリングすることだけを意味する。
- ウ．割込み処理ではスタックを一切利用できない。
- エ．割込み発生時にRAMを消去する方式である。

答え・解説

正答：ア

ア：割込みベクタにハンドラ位置を対応付けることで、要因ごとの処理へ迅速に移行できる。

イ：ベクタ方式は割込み要因ごとの処理アドレスへ直接分岐しやすい。

ウ：プロセッサによってはコンテキスト保存にスタックを用いる。

エ：RAM消去はベクタ割込みの機能ではない。

総合解説：割込みベクタにハンドラ位置を対応付けることで、要因ごとの処理へ迅速に移行できる。この問題では「ベクタ割込み」として、ベクタ割込みの利点を説明できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0046

2-2 メモリ・バス・I/O > バス・DMA・割込み | 難易度：標準

CPUとDMAが同じ共有バスのマスタとして同時にアクセスを要求した。必要となる機能はどれか。

- ア．ADC量子化器
- イ．優先度やラウンドロビンなどで利用権を決めるバスアービトレーション
- ウ．PLLだけ
- エ．ウォッチドッグだけ

答え・解説

正答：イ

ア：アナログ値をデジタル値へ変換する回路で、バス利用権調停ではない。

イ：複数バスマスタが同時要求した場合、衝突を避けるため誰がバスを使うかを調停する必要がある。

ウ：クロック生成用途であり、アクセス権の仲裁機能ではない。

エ：ソフトウェア監視用で、バス競合の仲裁ではない。

総合解説：複数バスマスタが同時要求した場合、衝突を避けるため誰がバスを使うかを調停する必要がある。この問題では「バスアービトレーション」として、バスアービトレーションが複数マスタの競合を調停することを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0047

2-2 メモリ・バス・I/O > バス・DMA・割込み | 難易度：標準

連続したメモリ領域をDMAで大量転送する際、単発転送よりバースト転送が有利になりやすい理由は何だろうか。

ア．バースト転送ではメモリ容量が自動的に増えるため。

イ．バースト転送ではデータ誤りが原理上絶対に発生しないため。

ウ．アドレス指定やバス獲得などのオーバーヘッドを複数データで共有し、連続転送効率を高められるため。

エ．バースト転送ではCPUクロックが不要になるため。

答え・解説

正答：ウ

ア：転送方式は物理メモリ容量を増やさない。

イ：信頼性は別の誤り検出・訂正などで確保する必要がある。

ウ：一度のバス取引で複数ビートを連続転送できると、制御オーバーヘッドを減らし帯域を利用しやすい。

エ：システム全体のクロック要件が消えるわけではない。

総合解説：一度のバス取引で複数ビートを連続転送できると、制御オーバーヘッドを減らし帯域を利用しやすい。この問題では「バースト転送」として、バースト転送が連続データ転送の効率を高める理由を判断できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0048

2-2 メモリ・バス・I/O > バス・DMA・割込み | 難易度：標準

低優先度ISRの実行中に、より高優先度の緊急割込みが発生した。ネスト可能な割込みコントローラで期待される動作はどれか。

ア．高優先度割込みは永久に破棄される。

イ．低優先度ISRが自動的にフラッシュメモリへ変換される。

ウ．全ての割込み優先度が必ず同じになる。

エ．高優先度割込みが低優先度ISRをプリエンプトして先に処理される。

答え・解説

正答：エ

ア：ネスト可能なら通常は優先度に従って受理される。

イ：割込み優先度とは無関係である。

ウ：優先度設定があるため差を設けられる。

エ：優先度付きネスト割込みでは、高優先度要因が実行中の低優先度ISRへ割り込める。

総合解説：優先度付きネスト割込みでは、高優先度要因が実行中の低優先度ISRへ割り込める。この問題では「割込み優先度とネスト」として、割込み優先度とネスト処理を理解できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0049

2-2 メモリ・バス・I/O > バス・DMA・割り込み | 難易度：標準

ADCを10kHzで連続サンプリングし、CPUは一定ブロックごとにまとめて処理したい。DMA機能として適したものはどれか。

ア．循環モードやダブルバッファを利用し、ADC結果を連続格納しながらブロック単位でCPU処理する。

イ．各サンプルをCPUが最短周期のポーリングだけで1個ずつ転送することを必須にする。

ウ．サンプリング中はRAMへの書き込みを禁止する。

エ．DMA転送先を毎回無効アドレスへ設定する。

答え・解説

正答：ア

ア：DMAで連続転送し、半分/全体転送完了などを契機にCPUが処理するとサンプルごとの割り込み負荷を減らせる。

イ：DMAの利点を失い、高サンプルレートではCPU負荷が増える。

ウ：ADCデータ保存ができず目的を満たさない。

エ：データ破損や例外の原因になる。

総合解説：DMAで連続転送し、半分/全体転送完了などを契機にCPUが処理するとサンプルごとの割り込み負荷を減らせる。この問題では「DMA循環バッファ」として、DMAの循環バッファが連続サンプリングに適することを判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0050

2-2 メモリ・バス・I/O > バス・DMA・割り込み | 難易度：標準

高頻度割り込みのISR内でログ整形や大容量通信を全て完了する設計の問題点として最も適切なものはどれか。

ア．ISRが長いほど必ず消費電力が0になる。

イ．ISR占有時間が長くなり、他割り込みの応答遅延やジッタを増やす可能性がある。

ウ．ISR内ではメモリアクセスが物理的に不可能である。

エ．ISRを長くするとADC分解能が自動的に高くなる。

答え・解説

正答：イ

ア：長時間実行はむしろCPU稼働時間を増やす可能性がある。

イ：ISRは必要最小限の処理とし、重い処理をタスクへ遅延実行する設計がリアルタイム性を保ちやすい。

ウ：多くのシステムでISRもメモリへアクセスする。

エ：割り込み処理時間とADC分解能は別である。

総合解説：ISRは必要最小限の処理とし、重い処理をタスクへ遅延実行する設計がリアルタイム性を保ちやすい。この問題では「ISR短時間化」として、ISR内で長時間処理を避ける設計理由を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0051

2-2 メモリ・バス・I/O > バス・DMA・割込み | 難易度：応用

ネットワーク受信DMAが主記憶のリングバッファへ直接書込み、CPUはWrite Backキャッシュを使う。CPUが古いキャッシュ内容を読む不具合がある。対策として適切なものはどれか。

ア．DMA完了後もCPUキャッシュを無条件に永久固定する。

イ．リングバッファの内容を毎回0にしてから読む。

ウ．DMA完了後、CPUが読む前に対象キャッシュラインを無効化するなど、プラットフォーム仕様に沿ったキャッシュ整合処理を行う。

エ．ADC基準電圧を変更する。

答え・解説

正答：ウ

ア：古いデータを保持し続ける原因となる。

イ：受信データを破壊する。

ウ：DMAが主記憶を更新してもCPUキャッシュに古いコピーが残る場合があるため、所有権移譲時のInvalidate等が必要になる。

エ：ネットワークDMAとキャッシュ整合性には関係しない。

総合解説：DMAが主記憶を更新してもCPUキャッシュに古いコピーが残る場合があるため、所有権移譲時のInvalidate等が必要になる。この問題では「ゼロコピーDMAの整合性」として、CPUキャッシュ・DMA・周辺装置間で所有権と同期を設計できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0052

2-2 メモリ・バス・I/O > バス・DMA・割込み | 難易度：応用

高帯域DMAを最高優先度で連続バースト転送したところ、CPUの制御タスクが外部RAMへアクセスする時間が増え、デッドラインを超えた。最も適切な改善方針はどれか。

ア．DMAを高速化すれば共有バス競合は必ず0になると仮定する。

イ．CPU制御タスクのデッドラインを測定せず無視する。

ウ．全てのメモリをROMへ変換する。

エ．DMAのバースト長や優先度、帯域割当を調整し、CPUとの共有バス競合をWCET評価へ含める。

答え・解説

正答：エ

ア：高帯域化がかえってCPUの待ちを増やす場合がある。

イ：要求違反を検出・対策できない。

ウ：書込みや動的データが必要な処理を満たせず、バス競合解決にもならない。

エ：DMAもバスマスタとして帯域を消費するため、リアルタイムCPU処理と帯域を調停する設計が必要である。

総合解説：DMAもバスマスタとして帯域を消費するため、リアルタイムCPU処理と帯域を調停する設計が必要である。この問題では「バス競合とWCET」として、高優先度DMAによるCPUメモリアクセス遅延を最悪時性能に含められる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0053

2-2 メモリ・バス・I/O > 周辺I/O・タイマ | 難易度：基礎

スイッチ開放時のGPIO入力が不定にならないよう、入力を既定のHighへ保ちたい。一般的な方法はどれか。

- ア．プルアップ抵抗を用いる。
- イ．出力端子同士を無条件に短絡する。
- ウ．入力端子を完全に浮かせる。
- エ．ADC基準電圧だけを0Vにする。

答え・解説

正答：ア

ア：プルアップによりスイッチ開放時も入力が高レベルへ保持され、浮遊状態を避けられる。

イ：出力競合で過電流などの原因になり得る。

ウ：ノイズで値が不安定になりやすい。

エ：デジタルGPIOの既定レベル設定にはならない。

総合解説：プルアップによりスイッチ開放時も入力が高レベルへ保持され、浮遊状態を避けられる。この問題では「GPIOプルアップ」として、GPIO入力でプルアップ抵抗を用いる目的を説明できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0054

2-2 メモリ・バス・I/O > 周辺I/O・タイマ | 難易度：基礎

ウォッチドッグタイマを組み込みシステムで利用する主な目的はどれか。

- ア．A/D変換分解能を増やす。
- イ．ソフトウェアが所定時間内に監視更新を行えない異常時に、リセットなどの復旧動作を行う。
- ウ．フラッシュメモリの書換え寿命を無限にする。
- エ．モータの回転方向を直接検出するセンサとして使う。

答え・解説

正答：イ

ア：ウォッチドッグはADCの量子化性能を変えない。

イ：ウォッチドッグはプログラム暴走・停止などを時間監視し、異常時の復旧手段として用いられる。

ウ：メモリ寿命とは無関係である。

エ：時間監視機能であり、回転方向センサではない。

総合解説：ウォッチドッグはプログラム暴走・停止などを時間監視し、異常時の復旧手段として用いられる。この問題では「ウォッチドッグタイマ」として、ウォッチドッグタイマの役割を説明できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0055

2-2 メモリ・バス・I/O > 周辺I/O・タイマ | 難易度：標準

タイマ入力クロックが1MHzで、プリスケアラで100分周した。分周後のタイマカウント周波数はどれか。

- ア．100MHz（分周で100倍とする）
- イ．1kHz（1000分周として換算）
- ウ．10kHz（1MHz÷100）
- エ．1MHz（分周前の周波数を採用）

答え・解説

正答：ウ

ア：分周では周波数は増えず、100倍にはならない。

イ：1MHz÷1000なら1kHzだが、ここでは100分周である。

ウ：1MHz ÷ 100 = 10kHzである。

エ：プリスケアラの分周効果を反映していない。

総合解説：1MHz ÷ 100 = 10kHzである。この問題では「タイマ周期計算」として、タイマのプリスケアラとカウンタ周期の関係を計算できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0056

2-2 メモリ・バス・I/O > 周辺I/O・タイマ | 難易度：標準

外部パルスの立上り間隔を高精度に測定したい。タイマの機能として適切なものはどれか。

- ア．PWM出力だけを固定Highにする。
- イ．ウォッチドッグを最短周期でリセットし続ける。
- ウ．フラッシュを消去して時間を推定する。
- エ．入力キャプチャでエッジ発生時のカウンタ値をハードウェアで取り込む。

答え・解説

正答：エ

ア：外部エッジ時刻を取得できない。

イ：外部パルスの時間測定機能ではない。

ウ：精密なイベント時刻測定には不適切である。

エ：入力キャプチャは外部イベント発生時のタイマ値を捕捉し、周期やパルス幅測定に適する。

総合解説：入力キャプチャは外部イベント発生時のタイマ値を捕捉し、周期やパルス幅測定に適する。この問題では「入力キャプチャ」として、入力キャプチャ機能で外部イベント時刻を測定できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0057

2-2 メモリ・バス・I/O > 周辺I/O・タイマ | 難易度：標準

タイマカウンタが指定値へ一致した瞬間にGPIO出力を反転させたい。適した機能はどれか。

- ア．出力比較 (Output Compare)
- イ．入力キャプチャだけ
- ウ．ADCサンプルホールドだけ
- エ．ECC訂正だけ

答え・解説

正答：ア

ア：比較レジスタとカウンタ一致時に出力をセット・クリア・トグルする機能を利用できる。

イ：入力イベント時のカウンタ値取得が主目的で、出力生成機能ではない。

ウ：アナログ入力保持機能であり、GPIOタイミング出力ではない。

エ：メモリ誤り訂正とタイマ出力は無関係である。

総合解説：比較レジスタとカウンタ一致時に出力をセット・クリア・トグルする機能を利用できる。この問題では「出力比較」として、出力比較機能で所定時刻の信号変化を生成できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0058

2-2 メモリ・バス・I/O > 周辺I/O・タイマ | 難易度：標準

PWM周期が100 μ sでHigh期間が25 μ sである。デューティ比はどれか。

- ア．4% (周期 ÷ High時間の逆比率)
- イ．25% (High時間 ÷ 周期)
- ウ．75% (Low時間 ÷ 周期)
- エ．250% (High時間を周期より大きく換算)

答え・解説

正答：イ

ア：比率の計算が逆である。

イ：25 μ s ÷ 100 μ s = 0.25なので25%である。

ウ：Low期間の比率に相当する。

エ：デューティ比はHigh期間/周期であり、この条件では100%を超えない。

総合解説：25 μ s ÷ 100 μ s = 0.25なので25%である。この問題では「PWMデューティ比」として、PWMの周波数とデューティ比を区別できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0059

2-2 メモリ・バス・I/O > 周辺I/O・タイマ | 難易度：応用

20kHzで一定位相の電流サンプリングが必要なモータ制御で、CPU負荷によるサンプリングジッタを減らしたい。最も適切な構成はどれか。

- ア．OSの低優先度タスクが空いた時だけADCをソフトウェア開始する。
- イ．PWMとADCを互いに無関係なクロックでランダムに動かす。
- ウ．PWM/タイマイベントでADCをハードウェアトリガし、必要ならDMAで結果を転送する。
- エ．ADC結果を保存せず捨てる。

答え・解説

正答：ウ

ア：実行タイミングが揺らぎ、一定位相サンプリングに不向きである。

イ：スイッチング位相との同期が取れず測定ばらつきが増えやすい。

ウ：タイマとADCをハードウェア同期させるとソフトウェア呼出し遅延を減らし、一定位相でのサンプリングを実現しやすい。

エ：制御演算に必要な電流値を利用できない。

総合解説：タイマとADCをハードウェア同期させるとソフトウェア呼出し遅延を減らし、一定位相でのサンプリングを実現しやすい。この問題では「周辺機能連携による周期サンプリング」として、ハードウェアタイマ・ADC・DMA連携でCPUジッタを減らせることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0060

2-2 メモリ・バス・I/O > 周辺I/O・タイマ | 難易度：応用

メインループ先頭で無条件に毎回ウォッチドッグを更新していたため、重要タスクが停止してもリセットされない不具合があった。改善策として適切なものはどれか。

- ア．ウォッチドッグを無効化して異常を検出しない。
- イ．重要タスクの停止に関係なく、より高頻度で無条件更新する。
- ウ．ウォッチドッグ周期を無限大に設定する。
- エ．重要処理群が正常完了したことを確認した後だけ、監視タスクがウォッチドッグを更新する。

答え・解説

正答：エ

ア：復旧手段を失う。

イ：異常を隠す方向であり改善にならない。

ウ：異常検出が実質できなくなる。

エ：単にCPUが動いているだけでなく、監視対象機能が正常に進行していることを条件に更新すると故障検出範囲を広げられる。

総合解説：単にCPUが動いているだけでなく、監視対象機能が正常に進行していることを条件に更新すると故障検出範囲を広げられる。この問題では「ウォッチドッグ設計」として、ウォッチドッグのキック位置が故障検出範囲へ与える影響を評価できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0061

2-3 センサ・アクチュエータ > センサ・計測 | 難易度：基礎

温度変化に応じて抵抗値が変化する素子を利用して温度を測定する方式として適切なものはどれか。

- ア．サーミスタを分圧回路などに用いて抵抗変化を電圧へ変換し測定する。
- イ．ウォッチドッグタイマだけで温度を直接測る。
- ウ．GPIO出力を固定Lowにして温度値とみなす。
- エ．DMA転送回数だけから温度を求める。

答え・解説

正答：ア

ア：サーミスタは温度依存の抵抗変化を利用する代表的な温度センサである。

イ：ウォッチドッグは時間監視回路で温度センサではない。

ウ：温度に応じた物理量変換がない。

エ：DMA回数は温度物理量を直接表さない。

総合解説：サーミスタは温度依存の抵抗変化を利用する代表的な温度センサである。この問題では「温度センサ選定」として、温度によって抵抗値が変化するサーミスタの利用を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0062

2-3 センサ・アクチュエータ > センサ・計測 | 難易度：基礎

荷重による微小な抵抗変化を検出するひずみゲージの信号を高感度に測定するため、一般に用いられる回路はどれか。

- ア．ウォッチドッグ回路
- イ．ホイートストンブリッジ
- ウ．割込みベクタ
- エ．キャッシュメモリ

答え・解説

正答：イ

ア：時間監視用で、抵抗変化の差動測定回路ではない。

イ：ブリッジ回路は微小な抵抗変化を差電圧として取り出しやすく、ひずみ計測で広く用いられる。

ウ：ソフトウェア処理アドレスの仕組みであり計測回路ではない。

エ：データ記憶用でセンサブリッジではない。

総合解説：ブリッジ回路は微小な抵抗変化を差電圧として取り出しやすく、ひずみ計測で広く用いられる。この問題では「ひずみ計測」として、ひずみゲージとブリッジ回路で微小抵抗変化を測定できることを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0063

2-3 センサ・アクチュエータ > センサ・計測 | 難易度：基礎

BLDCモータのロータ位置検出に用いられることがあるセンサはどれか。

- ア．ウォッチドッグタイマ
- イ．SRAM
- ウ．ホールセンサ
- エ．DMAコントローラ

答え・解説

正答：ウ

ア：時間監視機能であり磁界センサではない。

イ：記憶素子であり位置検出センサではない。

ウ：ホール効果を利用して磁界を検出でき、ロータ磁極位置の検出に用いられる。

エ：データ転送機構であり磁界検出機能ではない。

総合解説：ホール効果を利用して磁界を検出でき、ロータ磁極位置の検出に用いられる。この問題では「ホールセンサ」として、ホールセンサが磁界検出や回転位置検出に用いられることを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0064

2-3 センサ・アクチュエータ > センサ・計測 | 難易度：標準

インクリメンタル型ロータリエンコーダのA相とB相の位相差を利用する主な目的はどれか。

- ア．電源電圧を自動昇圧する。
- イ．A/D分解能を増やす。
- ウ．フラッシュの消去回数を減らす。
- エ．回転方向を判定する。

答え・解説

正答：エ

ア：エンコーダ位相信号に昇圧機能はない。

イ：エンコーダ位相差はADC分解能とは無関係である。

ウ：回転方向検出とフラッシュ寿命は無関係である。

エ：A相とB相のどちらが先行するかで回転方向を判断できる。

総合解説：A相とB相のどちらが先行するかで回転方向を判断できる。この問題では「ロータリエンコーダ」として、エンコーダから位置・速度情報を得る基本を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0065

2-3 センサ・アクチュエータ > センサ・計測 | 難易度：標準

IMUで一般に、加速度センサとジャイロセンサがそれぞれ測定する量の組合せとして正しいものはどれか。

- ア．加速度センサ：加速度、ジャイロセンサ：角速度
- イ．加速度センサ：角速度、ジャイロセンサ：温度だけ
- ウ．加速度センサ：電源容量、ジャイロセンサ：フラッシュ寿命
- エ．両方とも必ず絶対位置だけを直接出力する。

答え・解説

正答：ア

- ア：加速度センサは線形加速度、ジャイロは回転の角速度を測るのが基本である。
- イ：測定量の対応が誤っている。
- ウ：どちらも慣性量ではない。
- エ：絶対位置は通常、慣性計測値を統合したり他センサと融合して推定する。

総合解説：加速度センサは線形加速度、ジャイロは回転の角速度を測るのが基本である。この問題では「慣性センサの測定量」として、加速度センサとジャイロセンサの測定量を区別できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0066

2-3 センサ・アクチュエータ > センサ・計測 | 難易度：標準

センサの表示値が0.01単位で変化できるが、真値に対して常に約+0.5ずれている。この説明として最も適切なものはどれか。

- ア．分解能が細かければ誤差は必ず0になる。
- イ．細かい分解能を持っていても、オフセット誤差が大きく精度が悪い可能性がある。
- ウ．+0.5のずれは必ず量子化ビット数が不足したことだけで起こる。
- エ．センサ出力に誤差があれば分解能は定義できない。

答え・解説

正答：イ

- ア：高分解能でも系統誤差や雑音は残り得る。
- イ：分解能は識別可能な最小変化、精度は真値への近さに関係し、両者は別概念である。
- ウ：一定ずれはオフセットなど他要因でも生じる。
- エ：分解能と誤差特性は別に定義できる。

総合解説：分解能は識別可能な最小変化、精度は真値への近さに関係し、両者は別概念である。この問題では「分解能と精度」として、分解能・精度・再現性など計測性能の概念を区別できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0067

2-3 センサ・アクチュエータ > センサ・計測 | 難易度：標準

センサ出力に一定のオフセットと比例係数のずれがある。既知の二つの基準点を使う校正で求めたいものはどれか。

- ア．CPUの割込みベクタ数
- イ．キャッシュラインサイズ
- ウ．直線近似のオフセットとゲイン係数
- エ．PWMデッドタイムだけ

答え・解説

正答：ウ

ア：センサ校正とは無関係である。

イ：計測値の一次補正とは関係しない。

ウ：2点校正では既知の2点から一次変換の傾きと切片を求め、オフセット・ゲイン誤差を補正できる。

エ：モータスイッチング設定でありセンサのオフセット・ゲイン校正ではない。

総合解説：2点校正では既知の2点から一次変換の傾きと切片を求め、オフセット・ゲイン誤差を補正できる。この問題では「センサ校正」として、2点校正でオフセット誤差とゲイン誤差を補正する考え方を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0068

2-3 センサ・アクチュエータ > センサ・計測 | 難易度：標準

静止しているセンサ値にランダム雑音为重畳している。移動平均の窓長を大きくした場合の一般的な効果はどれか。

- ア．窓長を大きくすると必ず帯域が無限大になる。
- イ．移動平均を使うとセンサの物理的最大測定範囲が必ず2倍になる。
- ウ．移動平均を使うとオフセット誤差が必ず完全除去される。
- エ．雑音は平滑化されやすいが、急な実値変化への応答は遅くなりやすい。

答え・解説

正答：エ

ア：平滑化はむしろ高周波成分を抑え、応答を遅くする方向である。

イ：測定レンジはセンサや前段回路の仕様で決まる。

ウ：一定オフセットは平均化しても残る。

エ：平均化サンプル数を増やすとランダム雑音低減効果が増える一方、時間応答は鈍くなる。

総合解説：平均化サンプル数を増やすとランダム雑音低減効果が増える一方、時間応答は鈍くなる。この問題では「移動平均と応答性」として、平均化でランダム雑音を低減できる一方、応答性とのトレードオフがあることを判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0069

2-3 センサ・アクチュエータ > センサ・計測 | 難易度：応用

最大100mVを出力するセンサを0～3.3V入力 of ADCへ接続し、微小変化も有効に使いたい。前段増幅を設計するとき最も適切な考え方はどれか。

- ア．最大入力時にもADC範囲を超えない余裕を残しつつ、可能な範囲でゲインを上げてADCレンジを有効利用する。
- イ．必ず100倍増幅し、3.3Vを超えてもクリップを許容する。
- ウ．増幅率を0にして入力を常に0Vにする。
- エ．ADC入力範囲を無視し、センサ出力を任意に増幅する。

答え・解説

正答：ア

ア：飽和を避けながら入力レンジを有効利用すると、量子化分解能をセンサ測定へ活かしやすい。

イ：飽和すると上限付近の情報を失う。

ウ：センサ情報を失う。

エ：ADCの絶対最大定格や入力レンジ超過の危険がある。

総合解説：飽和を避けながら入力レンジを有効利用すると、量子化分解能をセンサ測定へ活かしやすい。この問題では「センサ信号レンジ設計」として、センサレンジと飽和を考慮して前段増幅率を設計できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0070

2-3 センサ・アクチュエータ > センサ・計測 | 難易度：応用

安全関連装置で同種の温度センサを3個使用し、一つが故障しても異常値を検出したい。単一センサだけより有効な方策はどれか。

- ア．3個のうち常に一つだけを読み、残りは永久に無視する。
- イ．3センサの値を相互比較し、許容差や多数決などで逸脱センサを診断する。
- ウ．異常値が出たら全て正常とみなす。
- エ．センサ数を増やせば校正・共通原因故障の検討は一切不要になる。

答え・解説

正答：イ

ア：冗長性を診断に活用できない。

イ：冗長センサの相互比較により、単一故障による異常値を検出・切離しできる可能性が高まる。

ウ：安全上の診断目的に反する。

エ：冗長化でも共通原因や校正誤差などの評価は必要である。

総合解説：冗長センサの相互比較により、単一故障による異常値を検出・切離しできる可能性が高まる。この問題では「センサ冗長化」として、複数センサの異常検出に冗長性と相互比較を活用できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0071

2-3 センサ・アクチュエータ > A/D・D/A・アナログ信号 | 難易度：基礎

入力範囲0～4.096Vの12ビットADCで、理想的な1LSBの電圧幅を $4.096\text{V}/4096$ とすると何mVか。

- ア．4mV（フルスケールを約1000分割）
- イ．0.1mV（1LSBを10分の1側へ換算）
- ウ．1mV（ $4.096\text{V} \div 4096$ ）
- エ．4096mV（フルスケール値そのもの）

答え・解説

正答：ウ

ア：12ビットの4096段階を反映していない。

イ：計算値より10分の1である。

ウ： $4.096\text{V} \div 4096 = 0.001\text{V} = 1\text{mV}$ である。

エ：これは入力フルスケール4.096Vに相当し、1LSBではない。

総合解説： $4.096\text{V} \div 4096 = 0.001\text{V} = 1\text{mV}$ である。この問題では「ADC量子化幅」として、ADC分解能と量子化幅の関係を計算できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0072

2-3 センサ・アクチュエータ > A/D・D/A・アナログ信号 | 難易度：基礎

理想的な一様量子化ADCで、丸めを行う場合の量子化誤差の代表的な範囲はどれか。

- ア．必ず0LSB
- イ．必ず $\pm 100\text{LSB}$ 以上
- ウ．ADC分解能に無関係に $\pm 1\text{V}$ 固定
- エ．約 $-0.5\text{LSB} \sim +0.5\text{LSB}$

答え・解説

正答：エ

ア：有限分解能では入力が量子化レベルの間にあると誤差が生じる。

イ：理想的量子化誤差として過大である。

ウ：量子化幅は入力範囲とビット数に依存する。

エ：連続値を最も近い量子化レベルへ丸める理想モデルでは誤差は概ね $\pm 0.5\text{LSB}$ 以内となる。

総合解説：連続値を最も近い量子化レベルへ丸める理想モデルでは誤差は概ね $\pm 0.5\text{LSB}$ 以内となる。この問題では「量子化誤差」として、理想ADCの量子化誤差が約 $\pm 0.5\text{LSB}$ 以内で表されることを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0073

2-3 センサ・アクチュエータ > A/D・D/A・アナログ信号 | 難易度：基礎

最高周波数成分が8kHzの帯域制限信号を理想的に標本化するため、標本化定理上必要なサンプリング周波数の条件はどれか。

- ア．16kHzより大きい周波数を用いる。
- イ．4kHz以下でよい。
- ウ．8kHzと全く同じで十分である。
- エ．サンプリング周波数は信号周波数と無関係でよい。

答え・解説

正答：ア

- ア：理想条件では最高信号周波数の2倍より高い標本化周波数が必要になる。
- イ：最高周波数8kHzを表現できずエイリアシングが生じる。
- ウ：2倍条件を満たさない。
- エ：エイリアシング回避には帯域との関係が重要である。

総合解説：理想条件では最高信号周波数の2倍より高い標本化周波数が必要になる。この問題では「標本化定理」として、サンプリング周波数とナイキスト周波数の関係を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0074

2-3 センサ・アクチュエータ > A/D・D/A・アナログ信号 | 難易度：標準

ADCの前段にローパスのアンチエイリアスフィルタを設ける主な目的はどれか。

- ア．ADC出力を必ず暗号化する。
- イ．ナイキスト周波数を超える成分を抑え、低周波側へ折り返して見えるエイリアシングを減らす。
- ウ．フラッシュ書換え回数を減らす。
- エ．CPU命令を並列化する。

答え・解説

正答：イ

- ア：フィルタは周波数成分を制限するアナログ回路で暗号機能ではない。
- イ：標本化前に高周波成分を制限することで、折返し雑音を防ぐ。
- ウ：メモリ寿命とは無関係である。
- エ：プロセッサ高速化とは別の機能である。

総合解説：標本化前に高周波成分を制限することで、折返し雑音を防ぐ。この問題では「アンチエイリアスフィルタ」として、アンチエイリアスフィルタの目的を説明できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0075

2-3 センサ・アクチュエータ > A/D・D/A・アナログ信号 | 難易度：標準

逐次比較型ADCなどでサンプル&ホールド回路を用いる主な理由はどれか。

- ア．入力電圧を必ず2倍に増幅するため。
- イ．デジタル出力を不揮発化するため。
- ウ．変換処理中に入力電圧を一定値として保持し、変化による変換誤差を抑えるため。
- エ．CPUの割込みを無効化するため。

答え・解説

正答：ウ

ア：サンプル&ホールドの主目的は保持であり固定増幅ではない。

イ：変換後データの不揮発保存機能ではない。

ウ：ADCがビット判定している間に入力が大きく変わると誤差になるため、取得値を保持する。

エ：割込み制御とは無関係である。

総合解説：ADCがビット判定している間に入力が大きく変わると誤差になるため、取得値を保持する。この問題では「サンプル&ホールド」として、サンプル&ホールドが変換中の入力を一定に保つ役割を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0076

2-3 センサ・アクチュエータ > A/D・D/A・アナログ信号 | 難易度：標準

同じ12ビットADCで基準電圧を4.096Vから2.048Vへ下げ、入力範囲もそれに合わせる。理想1LSB幅はどうなるか。

- ア．2倍になる。
- イ．変わらない。
- ウ．0Vになる。
- エ．半分になる。

答え・解説

正答：エ

ア：関係が逆である。

イ：同じビット数でも基準電圧が変わればLSB電圧幅は変わる。

ウ：基準電圧が2.048VあるためLSB幅は0ではない。

エ：量子化段数4096は同じでフルスケールが半分になるため、1LSB幅も半分になる。

総合解説：量子化段数4096は同じでフルスケールが半分になるため、1LSB幅も半分になる。この問題では「ADC基準電圧」として、ADC基準電圧と入力レンジ・LSB幅の関係を評価できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0077

2-3 センサ・アクチュエータ > A/D・D/A・アナログ信号 | 難易度：標準

出力インピーダンスが高いセンサを、入力サンプリングコンデンサを持つADCへ高速に接続すると測定値が低めにずれる。改善策として適切なものはどれか。

- ア．オペアンプの電圧フォロワなど低出力インピーダンスのバッファを検討する。
- イ．センサとADCの間に完全に開放する。
- ウ．ADC入力を常にGNDへ短絡する。
- エ．キャッシュラインを増やす。

答え・解説

正答：ア

ア：ADCのサンプリング容量を十分に充電できる駆動能力を確保すると、セトリング不足を減らせる。

イ：信号が伝わらず測定できない。

ウ：測定対象信号を失う。

エ：アナログ入力の駆動インピーダンス問題とは無関係である。

総合解説：ADCのサンプリング容量を十分に充電できる駆動能力を確保すると、セトリング不足を減らせる。この問題では「アナログバッファ」として、高インピーダンスセンサをADCへ接続するときバッファ回路を検討できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0078

2-3 センサ・アクチュエータ > A/D・D/A・アナログ信号 | 難易度：標準

長い配線で微小差動信号を測定し、両線へ同相に重畳する雑音を抑えたい。適した方法はどれか。

- ア．片側信号だけを大きく増幅し、もう一方を無視する。
- イ．差動入力時計装アンプなどを用い、高い同相除去比で二線の差だけを増幅する。
- ウ．入力二線を同じ端子へ短絡する。
- エ．デジタルPWMへ変換する前に測定をやめる。

答え・解説

正答：イ

ア：共通モード雑音の影響を受けやすい。

イ：差動測定では両入力へ共通に乗る成分を抑え、信号差を取り出しやすい。

ウ：差動信号自体が失われる。

エ：計測目的を満たさない。

総合解説：差動測定では両入力へ共通に乗る成分を抑え、信号差を取り出しやすい。この問題では「差動入力と共通モード」として、差動測定が共通モード雑音抑制に有効な条件を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0079

2-3 センサ・アクチュエータ > A/D・D/A・アナログ信号 | 難易度：応用

公称16ビットADCを実機評価すると、雑音と歪みにより実効分解能が約12ビット相当だった。設計上の判断として最も適切なものはどれか。

ア．公称16ビットなら実効分解能も必ず16ビットなので評価結果を無視する。

イ．ADCを16ビットと呼べば雑音は必ず0になる。

ウ．公称ビット数だけでなく、SNR・ノイズ・非線形性を含む実効性能を確認して必要精度を満たすか評価する。

エ．実効分解能はCPUクロック周波数だけで決まる。

答え・解説

正答：ウ

ア：実効性能は公称分解能より低下し得る。

イ：名称や公称ビット数は雑音を除去しない。

ウ：実機の有効分解能は理想量子化段数だけでなく雑音・歪み・基準電圧品質・レイアウト等にも左右される。

エ：ADCやアナログ前段、基準、ノイズなど複数要因で決まる。

総合解説：実機の有効分解能は理想量子化段数だけでなく雑音・歪み・基準電圧品質・レイアウト等にも左右される。この問題では「実効分解能ENOB」として、ADCのENOB低下原因を雑音・非線形性と関連付けて評価できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0080

2-3 センサ・アクチュエータ > A/D・D/A・アナログ信号 | 難易度：応用

PWM出力をローパスフィルタへ通してアナログ相当電圧を得る。リップルを減らすためフィルタ帯域を下げた場合の一般的なトレードオフはどれか。

ア．リップルも応答遅延も必ず同時に0になる。

イ．フィルタ帯域を下げるとPWM周波数が自動的に無限大になる。

ウ．ローパスフィルタを入れるとデューティ比の意味がなくなる。

エ．リップルは減らしやすいが、デューティ変更に対する出力応答は遅くなりやすい。

答え・解説

正答：エ

ア：実フィルタには帯域と応答性のトレードオフがある。

イ：PWM生成周波数とアナログフィルタ帯域は別設定である。

ウ：平均出力はデューティ比に依存する。

エ：低域通過を強くするとPWM搬送成分を抑えられる一方、時定数が大きくなり応答速度が低下する。

総合解説：低域通過を強くするとPWM搬送成分を抑えられる一方、時定数が大きくなり応答速度が低下する。この問題では「PWMによるD/A相当出力」として、PWMとローパスフィルタを簡易D/Aとして使う際のリップルと応答性を評価できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0081

2-3 センサ・アクチュエータ > モータ・アクチュエータ制御 | 難易度：基礎

DCモータの速度制御でPWMを使う基本的な考え方として適切なものはどれか。

- ア．PWMのデューティ比を変えてモータへ加わる平均的な電圧・電力を調整する。
- イ．PWMではモータに電力を一切供給しない。
- ウ．デューティ比は常に100%固定でなければならない。
- エ．PWMは位置センサだけを意味する。

答え・解説

正答：ア

ア：スイッチを高速にON/OFFし、デューティ比で平均印加量を変えることで速度制御に利用できる。

イ：ON期間には電力が供給される。

ウ：可変デューティを利用して制御する。

エ：PWMはパルス幅変調でありセンサそのものではない。

総合解説：スイッチを高速にON/OFFし、デューティ比で平均印加量を変えることで速度制御に利用できる。この問題では「DCモータPWM制御」として、PWMデューティ比でDCモータへの平均印加電圧を制御する基本を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0082

2-3 センサ・アクチュエータ > モータ・アクチュエータ制御 | 難易度：基礎

DCモータの回転方向を電氣的に反転するためにHブリッジを用いる主な理由はどれか。

- ア．モータを必ず交流発電機へ変換するから。
- イ．モータ端子へ印加する電圧の極性を切り替えられるから。
- ウ．A/D分解能を増やすから。
- エ．フラッシュメモリを保護するから。

答え・解説

正答：イ

ア：Hブリッジの主目的は負荷電流方向の制御である。

イ：Hブリッジはスイッチ組合せでモータ両端の極性を反転し、正逆転を制御できる。

ウ：ADCの分解能とは無関係である。

エ：Hブリッジはモータ駆動回路でありメモリ保護回路ではない。

総合解説：Hブリッジはスイッチ組合せでモータ両端の極性を反転し、正逆転を制御できる。この問題では「Hブリッジ」として、HブリッジでDCモータの回転方向を反転できることを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0083

2-3 センサ・アクチュエータ > モータ・アクチュエータ制御 | 難易度：基礎

リレーコイルやDCモータなどの誘導性負荷をトランジスタでON/OFFするとき、遮断時の高電圧からスイッチを保護する代表的な部品はどれか。

- ア．キャッシュメモリ
- イ．DMAコントローラ
- ウ．フライバックダイオード
- エ．割込みベクタ

答え・解説

正答：ウ

ア：デジタル記憶であり誘導性負荷保護にはならない。

イ：データ転送回路で過電圧保護素子ではない。

ウ：コイル電流の継続経路を設け、遮断時の逆起電力による過電圧を抑える。

エ：ソフトウェア処理の分岐情報であり電力回路保護ではない。

総合解説：コイル電流の継続経路を設け、遮断時の逆起電力による過電圧を抑える。この問題では「フライバック保護」として、誘導性負荷の遮断時に発生する逆起電力への保護を理解できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0084

2-3 センサ・アクチュエータ > モータ・アクチュエータ制御 | 難易度：標準

ハーフブリッジの上側・下側MOSFETを相補PWMで駆動するとき、デッドタイムを挿入する主な目的はどれか。

- ア．PWM周波数を必ず0Hzにするため。
- イ．モータの磁極数を変更するため。
- ウ．ADC入力レンジを増やすため。
- エ．上下スイッチが同時ONになる貫通電流を防ぐため。

答え・解説

正答：エ

ア：デッドタイムはスイッチ切替の短い空白期間でありPWM停止ではない。

イ：デッドタイム設定で物理的な磁極数は変わらない。

ウ：ADCの電圧範囲とは無関係である。

エ：一方が完全にOFFしてから他方をONにする無通電時間を設け、ショートスルーを防止する。

総合解説：一方が完全にOFFしてから他方をONにする無通電時間を設け、ショートスルーを防止する。この問題では「PWMデッドタイム」として、相補PWMでデッドタイムを設ける目的を説明できることが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0085

2-3 センサ・アクチュエータ > モータ・アクチュエータ制御 | 難易度：標準

ステッピングモータの基本的な位置制御として適切な説明はどれか。

- ア．励磁相を順次切り替え、入力ステップ数に応じて回転角を進める。
- イ．常にロータ位置センサがなければ1ステップも動かせない。
- ウ．DC電圧を印加するだけで必ず任意角度へ自動停止する。
- エ．ステップ数と回転角には関係がない。

答え・解説

正答：ア

ア：ステッピングモータは励磁シーケンスに従って離散的に回転し、ステップ数で位置を制御できる。

イ：負荷条件内ならオープンループでステップ駆動する用途も多い。

ウ：所定位置へ進めるには励磁シーケンスやパルス制御が必要である。

エ：基本ステップ角に基づきステップ数と位置が対応する。

総合解説：ステッピングモータは励磁シーケンスに従って離散的に回転し、ステップ数で位置を制御できる。この問題では「ステッピングモータ」として、ステッピングモータがパルス列で位置を段階的に制御できることを理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0086

2-3 センサ・アクチュエータ > モータ・アクチュエータ制御 | 難易度：標準

3相BLDCモータを6ステップ通電で駆動する。ホールセンサ信号を使用する主な目的はどれか。

- ア．ADCのビット数を増やすため。
- イ．ロータ位置に応じて適切な相の通電パターンへ切り替えるため。
- ウ．フラッシュメモリの消去を行うため。
- エ．CPUのキャッシュを無効化するため。

答え・解説

正答：イ

ア：ホール信号はロータ位置検出でありADC分解能には関係しない。

イ：BLDCではロータ磁極位置に合わせて相通電をコミュテーションする必要があり、ホール信号を利用できる。

ウ：モータ相通電とメモリ消去は無関係である。

エ：ロータ位置検出の目的ではない。

総合解説：BLDCではロータ磁極位置に合わせて相通電をコミュテーションする必要があり、ホール信号を利用できる。この問題では「BLDCコミュテーション」として、BLDCモータの6ステップ通電でロータ位置情報をを用いる理由を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0087

2-3 センサ・アクチュエータ > モータ・アクチュエータ制御 | 難易度：標準

PMSMのベクトル制御（FOC）の考え方として最も適切なものはどれか。

- ア．モータ電流を測らず、常に全相を同時に直流短絡する。
- イ．ロータ位置と電流を一切考慮しないことがFOCの定義である。
- ウ．三相電流を座標変換し、磁束成分とトルク成分を分離して制御しやすくする。
- エ．FOCはフラッシュ書換え方式の一種である。

答え・解説

正答：ウ

ア：正常なベクトル制御には電流情報や適切なインバータ駆動が必要である。

イ：ロータ角情報または推定値を基に座標変換して制御する。

ウ：FOCではClarke/Park変換などで回転座標上のd-q成分を扱い、トルク・磁束を独立に近い形で制御する。

エ：モータ制御方式でありメモリ技術ではない。

総合解説：FOCではClarke/Park変換などで回転座標上のd-q成分を扱い、トルク・磁束を独立に近い形で制御する。この問題では「FOCの基本」として、FOCで電流ベクトルを制御してトルクと磁束を扱う考え方を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0088

2-3 センサ・アクチュエータ > モータ・アクチュエータ制御 | 難易度：標準

インバータでPMSMを駆動している。スイッチング直後のノイズを避けて相電流を測定したい。最も適切な方法はどれか。

- ア．PWMとは無関係にランダム時刻でサンプリングする。
- イ．モータ運転中は電流を一切測定しない。
- ウ．ADCの入力をGNDへ固定する。
- エ．PWMタイマからADCを所定位相でトリガし、安定した電流測定区間でサンプリングする。

答え・解説

正答：エ

ア：スイッチングノイズの影響がばらつきやすい。

イ：電流制御や保護に必要な情報を失う。

ウ：実際の相電流を測定できない。

エ：PWMとADCを同期するとスイッチングエッジを避けた再現性の高い電流サンプリングを設計しやすい。

総合解説：PWMとADCを同期するとスイッチングエッジを避けた再現性の高い電流サンプリングを設計しやすい。この問題では「電流サンプリング同期」として、モータ電流測定とPWMタイミングを同期させる必要性を判断できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0089

2-3 センサ・アクチュエータ > モータ・アクチュエータ制御 | 難易度：応用

6ステップBLDCのセンサレス制御で、非通電相の逆起電力（BEMF）のゼロクロスを監視する目的はどれか。

- ア．ロータ位置に対応するタイミングを推定し、次のコミュテーション時刻を決めるため。
- イ．モータの巻線抵抗を常に0Ωにするため。
- ウ．PWM周波数を必ずDCにするため。
- エ．フラッシュメモリを校正するため。

答え・解説

正答：ア

ア：非通電相BEMFのゼロクロスはロータ位置に関連し、センサレス通電切替のタイミング推定に利用できる。
イ：BEMF検出は抵抗を変化させない。
ウ：BEMF検出の目的はロータ位置推定である。
エ：モータ位置推定とメモリ校正は無関係である。
総合解説：非通電相BEMFのゼロクロスはロータ位置に関連し、センサレス通電切替のタイミング推定に利用できる。この問題では「逆起電力によるセンサレス検出」として、センサレスBLDC制御で逆起電力ゼロクロスでロータ位置推定に使う原理を理解できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0090

2-3 センサ・アクチュエータ > モータ・アクチュエータ制御 | 難易度：応用

エンコーダ付きモータで位置サーボを構成する。目標位置へ高速に追従しつつ機械端への衝突も防ぎたい。最も適切な構成はどれか。

- ア．エンコーダを無視し、常に最大デューティで同方向へ駆動する。
- イ．エンコーダ位置をフィードバックして制御し、ソフトウェア制限に加えてリミットスイッチ等の独立保護も設ける。
- ウ．目標位置へ達したか確認せず、時間だけで必ず位置が正しいと仮定する。
- エ．リミット保護を全て削除し、制御ソフトに異常は起きないと仮定する。

答え・解説

正答：イ

ア：位置誤差を補正できず衝突リスクが高い。
イ：閉ループ位置制御で追従性を確保し、機械端では独立した保護を組み合わせることで単一故障への耐性を高める。
ウ：負荷変動や滑りで位置誤差が生じる可能性がある。
エ：安全性・信頼性の観点で不適切である。
総合解説：閉ループ位置制御で追従性を確保し、機械端では独立した保護を組み合わせることで単一故障への耐性を高める。この問題では「サーボ位置制御」として、位置サーボでフィードバックと安全制限を組み合わせで設計できる。ことが重要である。実装条件や制約を確認し、周辺概念との違いまで判断できるようにする。

対象：2026年度 / 基準日 2026-09-02

0091

2-4 通信・インタフェース > UART・SPI・I2C | 難易度：基礎

UART通信で送受信側が共有クロック線を持たない場合、正しく受信するために特に必要な条件はどれか。

- ア．送受信側でボーレート、データ長、パリティ、ストップビットなどの条件を一致させる。
- イ．送信側だけボーレートを設定し、受信側は任意の速度でよい。
- ウ．SCL線を必ず追加する。
- エ．全データを常に16ビット固定にする。

答え・解説

正答：ア

ア：UARTは共有クロック線を使わず開始ビットを基準に受信側が所定タイミングでサンプリングするため、フレーム条件の一致が重要である。
イ：受信側のサンプリングタイミングが合わず、正しく復元できない。
ウ：SCLはI2Cで用いられるクロック線で、一般的なUARTには必須ではない。
エ：データ長は通信相手と一致させる設定であり16ビット固定ではない。
総合解説：UARTは共有クロック線を使わず開始ビットを基準に受信側が所定タイミングでサンプリングするため、フレーム条件の一致が重要である。この問題では「UART非同期通信」として、UARTで通信条件の一致が必要な理由を説明できる。

対象：2026年度 / 基準日 2026-09-02

0092

2-4 通信・インタフェース > UART・SPI・I2C | 難易度：基礎

UARTフレームでスタートビットを用いる主な目的はどれか。

- ア．通信相手のIPアドレスを通知する。
- イ．アイドル状態からフレーム開始を知らせ、受信側にサンプリング開始の基準を与える。
- ウ．受信データを暗号化する。
- エ．送信電圧を2倍にする。

答え・解説

正答：イ

ア：UARTフレーム自体にIPアドレス通知機能はない。
イ：非同期UARTでは開始ビットのエッジを基準にデータビットをサンプリングする。
ウ：スタートビットは同期開始用で暗号機能ではない。
エ：フレーム形式と物理電圧は別仕様である。
総合解説：非同期UARTでは開始ビットのエッジを基準にデータビットをサンプリングする。この問題では「UARTフレーム」として、UARTのスタートビットの役割を説明できる。

対象：2026年度 / 基準日 2026-09-02

0093

2-4 通信・インタフェース > UART・SPI・I2C | 難易度：基礎

一般的なSPI通信の特徴として最も適切なものはどれか。

- ア．共有クロックを一切使わない。
- イ．必ず2本の線だけで多数デバイスを個別選択する。
- ウ．マスタがクロックを供給し、MOSIとMISOを用いて送受信を同時に行える構成がある。
- エ．7ビットアドレスが必須である。

答え・解説

正答：ウ

ア：SPIはクロック同期型である。
イ：通常はCSなどデバイス選択線を用いる。
ウ：SPIは同期式シリアル通信で、SCLK、MOSI、MISO、CSなどを用いる構成が一般的である。
エ：7ビットアドレスはI2Cで一般的な仕組みである。
総合解説：SPIは同期式シリアル通信で、SCLK、MOSI、MISO、CSなどを用いる構成が一般的である。この問題では「SPI基本構成」として、SPIの同期式・全二重通信の特徴を理解できる。

対象：2026年度 / 基準日 2026-09-02

0094

2-4 通信・インタフェース > UART・SPI・I2C | 難易度：標準

SPI接続で配線は正しいが、受信値が1ビットずれたように不安定になる。まず確認すべき設定はどれか。

- ア．I2Cアドレスが重複しているか。
- イ．UARTのストップビットが2個か。
- ウ．CAN終端抵抗が120Ωか。
- エ．クロック極性CPOLとクロック位相CPHAが相手機器の指定と一致しているか。

答え・解説

正答：エ

ア：SPIの問題でありI2Cアドレスは直接関係しない。
イ：SPIはUARTのストップビットを用いない。
ウ：CANの物理層条件でありSPIとは無関係である。
エ：SPIではデータを変化・サンプリングするクロックエッジがモードで決まるため、不一致は誤読の典型原因となる。
総合解説：SPIではデータを変化・サンプリングするクロックエッジがモードで決まるため、不一致は誤読の典型原因となる。この問題では「SPIモード不一致」として、SPIのCPOL/CPHA設定不一致を診断できる。

対象：2026年度 / 基準日 2026-09-02

0095

2-4 通信・インタフェース > UART・SPI・I2C | 難易度：標準

I2CバスのSDAとSCLでプルアップ抵抗を用いる主な理由はどれか。

- ア．各デバイスがLowだけを能動駆動し、解放時にHighへ戻すことで複数デバイスが同じ線を共有できるようにする。
- イ．通信データを暗号化するため。
- ウ．信号線を常にLowへ固定するため。
- エ．SPIのMISO線を増幅するため。

答え・解説

正答：ア

ア：I2Cはオープンドレイン/オープンコレクタ型のバスで、wired-AND動作を利用する。

イ：プルアップ抵抗は電気レベル形成用で暗号機能ではない。

ウ：解放時にはHighへ戻る必要がある。

エ：I2Cの信号方式の話でSPIとは別である。

総合解説：I2Cはオープンドレイン/オープンコレクタ型のバスで、wired-AND動作を利用する。この問題では「I2C電気特性」として、I2Cがプルアップ抵抗を必要とする電気的理由を説明できる。

対象：2026年度 / 基準日 2026-09-02

0096

2-4 通信・インタフェース > UART・SPI・I2C | 難易度：標準

I2Cで1バイト送信後、受信側がACKを返す意味として最も適切なものはどれか。

- ア．送信側へ電源断を要求する。
- イ．受信側が9番目のクロックでSDAをLowにして、バイトを受け取ったことを示す。
- ウ．通信速度を2倍にする。
- エ．必ず再送を要求する。

答え・解説

正答：イ

ア：ACKは電源制御命令ではない。

イ：I2Cでは受信確認としてACKをLowで返すのが基本である。

ウ：ACKは受信確認で速度変更機能ではない。

エ：ACKは通常、正常受信を示す。

総合解説：I2Cでは受信確認としてACKをLowで返すのが基本である。この問題では「I2C ACK/NACK」として、I2CのACK/NACKの意味を理解できる。

対象：2026年度 / 基準日 2026-09-02

0097

2-4 通信・インタフェース > UART・SPI・I2C | 難易度：標準

二つのI2Cコントローラが同時に送信を開始した。アービトレーションで送信継続可否を判断する原理はどれか。

- ア．双方が同時にバスを強制Highへ駆動する。
- イ．競合時にはSCLを廃止する。
- ウ．自身がHighを解放したのにバス上でLowを読んだ側が競合に負けたと判断して送信を中止する。
- エ．競合したら全デバイスのアドレスを変更する。

答え・解説

正答：ウ

ア：オープンドレインの基本動作に反する。

イ：I2CはSCLで同期する。

ウ：wired-ANDバスではLowが支配的で、送信値と実バス値の比較により非破壊アービトレーションを行える。

エ：利用権競合の解決にアドレス変更は不要である。

総合解説：wired-ANDバスではLowが支配的で、送信値と実バス値の比較により非破壊アービトレーションを行える。この問題では「I2Cアービトレーション」として、I2Cのマルチコントローラアービトレーションを説明できる。

対象：2026年度 / 基準日 2026-09-02

0098

2-4 通信・インタフェース > UART・SPI・I2C | 難易度：標準

I2Cターゲットが内部処理に時間を要し、次のビット処理準備が整うまで転送を待たせたい。対応可能な構成で利用する機能はどれか。

- ア．UARTのパリティビットを増やす。
- イ．SPIのCSを永久にHighへ固定する。
- ウ．CAN IDを小さくする。
- エ．SCLをLowに保持して転送進行を待たせるクロックストレッチ。

答え・解説

正答：エ

ア：I2Cの待機機構とは無関係である。

イ：I2Cの転送制御にはならない。

ウ：CANの優先度機構でありI2Cとは無関係である。

エ：対応するI2C実装ではターゲットがSCLをLowに保持し、転送を遅延させられる。

総合解説：対応するI2C実装ではターゲットがSCLをLowに保持し、転送を遅延させられる。この問題では「I2Cクロックストレッチ」として、I2Cのクロックストレッチの用途を理解できる。

対象：2026年度 / 基準日 2026-09-02

0099

2-4 通信・インタフェース > UART・SPI・I2C | 難易度：応用

基板内でMCUから高速ADCへ数MHz以上で連続データを読み出す。接続対象は1台で、配線本数に余裕があり低遅延を優先する。一般に有力な方式はどれか。

- ア．SPI
- イ．低速UARTだけを必ず使う。
- ウ．I2Cだけを必ず選び速度要件を無視する。
- エ．通信方式を選ばずGPIOをランダムに切り替える。

答え・解説

正答：ア

ア：短距離基板内で高速同期転送を行い対象が少数なら、SPIは低オーバーヘッドで高スループットを得やすい。
イ：この条件では高速同期転送を優先するSPIが適合しやすい。
ウ：I2Cは配線数や多デバイス接続に利点があるが、速度要件との比較が必要である。
エ：同期・プロトコルが成立しない。
総合解説：短距離基板内で高速同期転送を行い対象が少数なら、SPIは低オーバーヘッドで高スループットを得やすい。この問題では「シリアルI/F選定」として、UART・SPI・I2Cから要件に合う方式を選定できる。

対象：2026年度 / 基準日 2026-09-02

0100

2-4 通信・インタフェース > UART・SPI・I2C | 難易度：応用

長いUARTフレームで送受信クロック誤差が大きいと、フレーム末尾で受信誤りが増える主な理由はどれか。

- ア．UART送信中に必ずI2Cアービトレーションが起きる。
- イ．共有クロックがないためサンプリング時刻のずれがビットごとに累積し、末尾でビット中心から外れやすくなる。
- ウ．ストップビットがあると誤差が無限大になる。
- エ．クロック誤差はUART通信に全く影響しない。

答え・解説

正答：イ

ア：UARTとI2Cは別方式である。
イ：開始ビットを基準に受信側が自走するため、クロック差が大きいくほど位相ずれが蓄積する。
ウ：そのような性質はない。
エ：非同期受信のサンプリング精度へ影響する。
総合解説：開始ビットを基準に受信側が自走するため、クロック差が大きいくほど位相ずれが蓄積する。この問題では「UARTクロック誤差」として、UARTのクロック誤差が長いフレームで累積することを説明できる。

対象：2026年度 / 基準日 2026-09-02

0101

2-4 通信・インタフェース > CAN・USB・Ethernet | 難易度：基礎

Classical CANのデータフレームにおける識別子の役割として最も適切なものはどれか。

ア．送信ノードのIPアドレスだけを表す。

イ．USBエンドポイント番号を表す。

ウ．メッセージの種類を識別するとともに、バス競合時のアービトレーション優先度にも関係する。

エ．Ethernet MACアドレスをそのまま格納する。

答え・解説

正答：ウ

ア：CAN識別子はIPアドレスではない。

イ：USBの概念とは異なる。

ウ：CANはメッセージ指向で、識別子のビット値が非破壊アービトレーションの優先順位を決める。

エ：CAN識別子とMACアドレスは別である。

総合解説：CANはメッセージ指向で、識別子のビット値が非破壊アービトレーションの優先順位を決める。この問題では「CAN識別子」として、CAN識別子の役割を説明できる。

対象：2026年度 / 基準日 2026-09-02

0102

2-4 通信・インタフェース > CAN・USB・Ethernet | 難易度：基礎

標準CANで二つのノードが同時送信し、一方の識別子が0x100、他方が0x300だった。他条件が同じなら一般にどちらが優先されるか。

ア．0x300のフレーム（大きい識別子を優先）

イ．必ず両方が破棄される。（衝突時に双方破棄）

ウ．識別子は優先度に関係である。（識別子を優先度に使わない）

エ．0x100のフレーム（小さい識別子側がアービトレーションで優先）

答え・解説

正答：エ

ア：数値が大きいほど優先される方式ではない。

イ：非破壊アービトレーションで一方が送信継続できる。

ウ：アービトレーションに直接使われる。

エ：CANではドミナント0がリセッシブ1に勝つため、数値の小さい識別子が高優先度になりやすい。

総合解説：CANではドミナント0がリセッシブ1に勝つため、数値の小さい識別子が高優先度になりやすい。この問題では「CANアービトレーション」として、CANの優先度付き非破壊アービトレーションを理解できる。

対象：2026年度 / 基準日 2026-09-02

0103

2-4 通信・インタフェース > CAN・USB・Ethernet | 難易度：基礎

CAN FDのClassical CANに対する代表的な拡張として正しいものはどれか。

- ア．データ部を最大64バイトまで拡張でき、フレーム内でデータフェーズのビットレートを高くできる。
- イ．ペイロードを最大1バイトへ縮小した。
- ウ．Ethernetフレームと同じ形式を必須とした。
- エ．アービトラージョンを完全廃止した。

答え・解説

正答：ア

ア：BoschのCAN FDはClassical CANの最大8バイト制限を最大64バイトへ拡張し、データフェーズで高速化できる。

イ：実際は拡張している。

ウ：CAN系列のフレーム形式である。

エ：CANのアービトラージョン機構は保持される。

総合解説：BoschのCAN FDはClassical CANの最大8バイト制限を最大64バイトへ拡張し、データフェーズで高速化できる。この問題では「CAN FD特徴」として、CAN FDの代表的拡張を説明できる。

対象：2026年度 / 基準日 2026-09-02

0104

2-4 通信・インタフェース > CAN・USB・Ethernet | 難易度：標準

高速CAN配線でバス両端に規定の終端抵抗を配置する主な目的はどれか。

- ア．CAN識別子を暗号化する。
- イ．伝送路インピーダンスを整合させ、信号反射による波形乱れを抑える。
- ウ．通信速度を無限大にする。
- エ．ノードごとにIPアドレスを設定する。

答え・解説

正答：イ

ア：終端抵抗は電氣的整合用である。

イ：高速差動バスでは終端により反射を抑え受信マージンを確保する。

ウ：そのような効果はない。

エ：物理層の終端とIP設定は無関係である。

総合解説：高速差動バスでは終端により反射を抑え受信マージンを確保する。この問題では「CAN終端」として、CAN終端抵抗の目的を説明できる。

対象：2026年度 / 基準日 2026-09-02

0105

2-4 通信・インタフェース > CAN・USB・Ethernet | 難易度：標準

USB 2.0の基本的なバストポロジで、転送を開始・スケジュールする主体はどれか。

- ア．全デバイスが完全対等に同時送信する。
- イ．Ethernetスイッチ
- ウ．USBホスト
- エ．CANの最高優先度ノード

答え・解説

正答：ウ

ア：通常のUSBはホスト制御型である。

イ：USBの転送主体ではない。

ウ：USBはホスト中心のバスで、ホストがトランザクションを開始しスケジュールする。

エ：CANとは別方式である。

総合解説：USBはホスト中心のバスで、ホストがトランザクションを開始しスケジュールする。この問題では「USBホスト主導」として、USBがホスト主導で転送を管理することを理解できる。

対象：2026年度 / 基準日 2026-09-02

0106

2-4 通信・インタフェース > CAN・USB・Ethernet | 難易度：標準

USB接続のオーディオ機器で一定周期のデータ到着を重視し、再送による遅延増加より時間特性を優先したい。適した転送タイプはどれか。

- ア．バルク転送だけ
- イ．CANリモートフレーム
- ウ．I2Cクロックストレッチ
- エ．アイソクロナス転送

答え・解説

正答：エ

ア：大量かつ正確な転送向けで、時間特性優先とは性質が異なる。

イ：USB転送タイプではない。

ウ：USB転送タイプではない。

エ：時間帯域を確保して連続ストリームに適し、音声・映像などで利用される。

総合解説：時間帯域を確保して連続ストリームに適し、音声・映像などで利用される。この問題では「USB転送タイプ」として、USB転送タイプを用途から選択できる。

対象：2026年度 / 基準日 2026-09-02

0107

2-4 通信・インタフェース > CAN・USB・Ethernet | 難易度：標準

Ethernet LAN内でフレームの送信元・宛先を識別するため、データリンク層で用いられるものはどれか。

- ア．MACアドレス
- イ．UARTボーレート
- ウ．I2C ACKビット
- エ．PWMデューティ比

答え・解説

正答：ア

ア：Ethernetフレームでは送信元・宛先MACアドレスを用いてリンク上の配送先を識別する。

イ：非同期シリアル通信速度の設定である。

ウ：I2C受信確認用である。

エ：LANアドレスではない。

総合解説：Ethernetフレームでは送信元・宛先MACアドレスを用いてリンク上の配送先を識別する。この問題では「Ethernet MAC」として、EthernetのMACアドレスの役割を理解できる。

対象：2026年度 / 基準日 2026-09-02

0108

2-4 通信・インタフェース > CAN・USB・Ethernet | 難易度：標準

スイッチと端末をポイントツーポイントの全二重Ethernetで接続した場合の特徴はどれか。

- ア．全二重では送受信を同時に行えない。
- イ．送信と受信を同時に行え、共有媒体の衝突を前提とするCSMA/CDは通常使用しない。
- ウ．全二重にするとMACアドレスが不要になる。
- エ．全二重では物理層が存在しない。

答え・解説

正答：イ

ア：全二重の定義に反する。

イ：全二重リンクは専用送受信経路を持つため、半二重共有媒体の衝突検出は不要である。

ウ：MACアドレスは引き続き使われる。

エ：物理層は必要である。

総合解説：全二重リンクは専用送受信経路を持つため、半二重共有媒体の衝突検出は不要である。この問題では「全二重Ethernet」として、全二重EthernetでCSMA/CDが通常不要な理由を説明できる。

対象：2026年度 / 基準日 2026-09-02

0109

2-4 通信・インタフェース > CAN・USB・Ethernet | 難易度：応用

短い制御メッセージを多数ECU間で送信し、バス競合時の優先順位が明確で既存CAN資産を活用したい。画像ストリームの大容量転送は不要である。適切な方針はどれか。

- ア．最高速Ethernetだけを採用し他条件を評価しない。
- イ．UARTを1本だけ共有して全ECUを無制限接続する。
- ウ．CAN/CAN FDを中心に検討し、必要帯域・最悪遅延・ノード数を確認する。
- エ．各ECUが独自電気信号を送る。

答え・解説

正答：ウ

ア：通信方式は速度だけでなく決定性、コスト、既存資産などで選ぶ。

イ：標準UARTはこの多ノードバス要件を直接満たさない。

ウ：制御メッセージ中心で優先度付きアービトレーションと既存資産を重視する条件ではCAN系が適合しやすい。

エ：相互運用性と検証性が失われる。

総合解説：制御メッセージ中心で優先度付きアービトレーションと既存資産を重視する条件ではCAN系が適合しやすい。この問題では「車載通信選定」として、制御通信要件からCAN系を選定できる。

対象：2026年度 / 基準日 2026-09-02

0110

2-4 通信・インタフェース > CAN・USB・Ethernet | 難易度：応用

高帯域Ethernetを採用したのに制御メッセージの遅延が時々大きくなる。最も適切な評価はどれか。

- ア．リンク速度が高ければ遅延は必ず0なので測定不要である。
- イ．Ethernetではキューが存在しない。
- ウ．遅延は物理ケーブル長だけで決まる。
- エ．平均帯域だけでなく、キューイング、優先制御、スイッチ遅延、混雑時の最悪遅延も評価する。

答え・解説

正答：エ

ア：キューイングや処理遅延は存在する。

イ：実装ではキュー処理が存在する。

ウ：混雑やスイッチ処理も影響する。

エ：リアルタイム通信ではリンク速度だけでは期限保証にならず、トラフィック競合と最悪遅延の評価が必要である。

総合解説：リアルタイム通信ではリンク速度だけでは期限保証にならず、トラフィック競合と最悪遅延の評価が必要である。この問題では「通信遅延設計」として、Ethernetの最悪通信遅延を帯域以外の要素も含めて評価できる。

対象：2026年度 / 基準日 2026-09-02

0111

2-4 通信・インタフェース > 無線・IoT通信 | 難易度：基礎

Bluetooth Low Energyの無線物理層について正しい記述はどれか。

- ア．2.4GHz ISM帯を利用し、周波数ホッピングを用いる。
- イ．有線ツイストペアだけを使用する。
- ウ．直流だけで通信する。
- エ．CAN差動バスを必須とする。

答え・解説

正答：ア

ア：Bluetooth LEは2.4GHz ISM帯で動作し、干渉やフェージングへの対策として周波数ホッピングを利用する。

イ：Bluetooth LEは無線通信規格である。

ウ：2.4GHz帯の無線搬送波を利用する。

エ：CAN物理層とは別である。

総合解説：Bluetooth LEは2.4GHz ISM帯で動作し、干渉やフェージングへの対策として周波数ホッピングを利用する。この問題では「Bluetooth LE物理層」として、Bluetooth LEの基本的な無線帯域と周波数ホッピングを理解できる。

対象：2026年度 / 基準日 2026-09-02

0112

2-4 通信・インタフェース > 無線・IoT通信 | 難易度：基礎

無線機器のRSSIについて最も適切な説明はどれか。

- ア．送信パケットの暗号鍵である。
- イ．受信信号強度の指標であり、遮蔽物・反射・アンテナ条件で変動するため距離を一意に表す値ではない。
- ウ．距離を誤差0で直接返す値である。
- エ．CPU消費電力を直接表す。

答え・解説

正答：イ

ア：RSSIは電波強度指標である。

イ：RSSIは受信電力の目安だが、マルチパスや環境で大きく変動する。

ウ：環境依存が大きい。

エ：無線受信強度の指標である。

総合解説：RSSIは受信電力の目安だが、マルチパスや環境で大きく変動する。この問題では「RSSI解釈」として、RSSIを距離そのものと誤解せず解釈できる。

対象：2026年度 / 基準日 2026-09-02

0113

2-4 通信・インタフェース > 無線・IoT通信 | 難易度：基礎

MQTTの基本的な通信モデルとして正しいものはどれか。

ア．全端末が同一共有メモリへ直接書くだけを規定する。

イ．CAN識別子だけでインターネット経路を決める。

ウ．クライアントがトピックへPublishし、ブローカがそのトピックをSubscribeするクライアントへ配送する。

エ．ADC値を自動校正する規格である。

答え・解説

正答：ウ

ア：ネットワークメッセージングプロトコルである。

イ：CANとは別の方式である。

ウ：MQTTはトピックを用いたPublish/Subscribe型メッセージングプロトコルである。

エ：計測校正規格ではない。

総合解説：MQTTはトピックを用いたPublish/Subscribe型メッセージングプロトコルである。この問題では「MQTT Publish/Subscribe」として、MQTTのPublish/Subscribeモデルを説明できる。

対象：2026年度 / 基準日 2026-09-02

0114

2-4 通信・インタフェース > 無線・IoT通信 | 難易度：標準

センサデータをMQTTで送り、多少の重複は許容するがQoS 0より到達性を高めたい。一般に適したQoSはどれか。

ア．QoS 0だけ

イ．QoS 2以外はMQTTに存在しない。

ウ．CAN FDのBRS

エ．QoS 1

答え・解説

正答：エ

ア：QoS 0はAt most onceで再送による保証を行わない。

イ：MQTTにはQoS 0,1,2がある。

ウ：MQTT QoSではない。

エ：QoS 1はAt least onceで、再送により重複が生じる可能性がある。

総合解説：QoS 1はAt least onceで、再送により重複が生じる可能性がある。この問題では「MQTT QoS」として、MQTT QoS 1の配送保証と重複可能性を理解できる。

対象：2026年度 / 基準日 2026-09-02

0115

2-4 通信・インタフェース > 無線・IoT通信 | 難易度：標準

電池駆動BLEセンサで送信電力を上げることの一般的な影響として最も適切なものはどれか。

- ア．リンクマージンを改善できる場合がある一方、送信時消費電力が増える可能性がある。
- イ．送信電力を上げるほど必ず電池寿命が延びる。
- ウ．送信電力は通信品質に影響しない。
- エ．送信電力を上げると有線通信になる。

答え・解説

正答：ア

ア：必要な通信品質を確保しつつ送信電力と電池寿命のバランスを取る必要がある。

イ：一般には消費電力増加要因である。

ウ：受信側SNRやマージンへ影響する。

エ：媒体は無線のままである。

総合解説：必要な通信品質を確保しつつ送信電力と電池寿命のバランスを取る必要がある。この問題では「無線送信電力」として、送信電力とリンクマージン・消費電力のトレードオフを理解できる。

対象：2026年度 / 基準日 2026-09-02

0116

2-4 通信・インタフェース > 無線・IoT通信 | 難易度：標準

パケット損失の多い無線環境で再送回数上限を増やすと、一般にどのようなトレードオフが生じるか。

- ア．再送回数を増やすほど必ず遅延が短くなる。
- イ．到達確率は上げやすいが、通信遅延と消費エネルギーが増える可能性がある。
- ウ．再送は電力を一切消費しない。
- エ．再送を増やすと暗号鍵が不要になる。

答え・解説

正答：イ

ア：再送は完了までの時間を増やす。

イ：再送は信頼性向上に寄与する一方、送受信時間が増える。

ウ：送受信動作には電力が必要である。

エ：信頼性とセキュリティは別問題である。

総合解説：再送は信頼性向上に寄与する一方、送受信時間が増える。この問題では「無線再送」として、再送回数増加の信頼性・遅延・電力トレードオフを判断できる。

対象：2026年度 / 基準日 2026-09-02

0117

2-4 通信・インタフェース > 無線・IoT通信 | 難易度：標準

インターネット経由のMQTTで盗聴とサーバなりすましのリスクを下げたい。適切な方策はどれか。

- ア．平文通信のまま全端末で固定パスワードを共有するだけ。
- イ．RSSIが高ければ暗号化不要と判断する。
- ウ．TLSを利用し、証明書検証・適切な認証と鍵管理を行う。
- エ．QoS 2にすれば自動暗号化される。

答え・解説

正答：ウ

ア：資格情報漏えいへの耐性が不足する。

イ：信号強度は真正性や機密性を保証しない。

ウ：安全なトランスポートと認証を組み合わせることで通信機密性・真正性を高める。

エ：QoSは配送保証であり暗号化ではない。

総合解説：安全なトランスポートと認証を組み合わせることで通信機密性・真正性を高める。この問題では「MQTT通信保護」として、MQTT通信をTLSで保護する目的を説明できる。

対象：2026年度 / 基準日 2026-09-02

0118

2-4 通信・インタフェース > 無線・IoT通信 | 難易度：標準

10分に1回だけ温度を送る電池駆動IoTノードで平均消費電力を下げたい。最も適切な設計方針はどれか。

- ア．無線を最高出力で常時送信する。
- イ．MCUを最高クロックで常時ビジー状態にさせる。
- ウ．通信頻度に関係なく電池寿命は同じとみなす。
- エ．送信時だけMCU・無線を起動し、待機中は低消費電力モードへ移行し、再接続コストも含めて周期を最適化する。

答え・解説

正答：エ

ア：待機電力が大きくなる。

イ：不要な動作電力が増える。

ウ：無線オン時間は平均消費電力へ大きく影響する。

エ：通信デューティを下げ、スリープ時間を増やすのが有効だが、起動・接続時の電力や遅延も評価する。

総合解説：通信デューティを下げ、スリープ時間を増やすのが有効だが、起動・接続時の電力や遅延も評価する。この問題では「省電力IoTノード」として、低頻度IoT通信でスリープと再接続コストを含めて省電力化できる。

対象：2026年度 / 基準日 2026-09-02

0119

2-4 通信・インタフェース > 無線・IoT通信 | 難易度：応用

遠距離IoT通信で受信感度不足が疑われる。リンクバジェットを評価するときに含めるべき要素の組合せはどれか。

- ア：送信電力、送受信アンテナ利得、伝搬損失、ケーブル損失、受信感度と必要マージン。
- イ：CPU命令数だけ。
- ウ：フラッシュ消去回数だけ。
- エ：UARTストップビット数だけ。

答え・解説

正答：ア

ア：無線リンク成立は送信側から受信側までの利得・損失と受信感度の収支で評価する。

イ：電波到達性を評価できない。

ウ：無線伝搬とは無関係である。

エ：RFリンク収支要素ではない。

総合解説：無線リンク成立は送信側から受信側までの利得・損失と受信感度の収支で評価する。この問題では「リンクバジェット」として、リンクバジェットの主要要素を用いて無線到達性を評価できる。

対象：2026年度 / 基準日 2026-09-02

0120

2-4 通信・インタフェース > 無線・IoT通信 | 難易度：応用

クラウドへMQTT送信する設備監視端末で、回線断が数時間続いても計測データを失いたくない。最も適切な設計はどれか。

- ア：送信失敗したデータは即時破棄する。
- イ：ローカル不揮発バッファに時刻・連番とともに保存し、再接続後に重複処理も考慮して順次再送する。
- ウ：回線断は起こらない前提でローカル記憶を持たない。
- エ：QoSを設定すれば電源断中もRAM内容が保持されると考える。

答え・解説

正答：イ

ア：非損失要求を満たさない。

イ：通信断を通常故障モードとして扱い、蓄積、再送、重複排除、容量上限を設計する。

ウ：通信障害への耐性がない。

エ：QoSは通信配送で、不揮発保存を保証しない。

総合解説：通信断を通常故障モードとして扱い、蓄積、再送、重複排除、容量上限を設計する。この問題では「オフライン耐性」として、通信断時のローカル蓄積・再送・重複対策を設計できる。

対象：2026年度 / 基準日 2026-09-02

0121

2-5 電源・信頼性・製造 > 電源・省電力・熱設計 | 難易度：基礎

LDOと降圧スイッチングレギュレータの一般的な比較として最も適切なものはどれか。

- ア．LDOは常に100%効率で発熱しない。
- イ．スイッチングレギュレータはスイッチング素子を一切使わない。
- ウ．LDOは比較的低ノイズにしやすいが入出力電圧差が大きいと損失が増え、スイッチング方式は高効率化しやすい。
- エ．両方式の効率やノイズに差はない。

答え・解説

正答：ウ

ア：入出力電圧差と負荷電流による損失が生じる。
イ：方式の定義に反する。
ウ：LDOの損失は概ね電圧差×電流に比例し、スイッチング電源は高効率化しやすい一方でスイッチングノイズ対策が必要である。
エ：設計特性に明確な違いがある。
総合解説：LDOの損失は概ね電圧差×電流に比例し、スイッチング電源は高効率化しやすい一方でスイッチングノイズ対策が必要である。この問題では「電源方式比較」として、LDOとスイッチングレギュレータの基本特性を比較できる。

対象：2026年度 / 基準日 2026-09-02

0122

2-5 電源・信頼性・製造 > 電源・省電力・熱設計 | 難易度：基礎

高速デジタルICの電源ピン近くに小容量デカップリングコンデンサを配置する主な目的はどれか。

- ア．CPUプログラムを不揮発保存する。
- イ．通信パケットを暗号化する。
- ウ．UARTのボーレートを決定する。
- エ．瞬間的な電流変化を局所的に供給し、高周波の電源電圧変動を抑える。

答え・解説

正答：エ

ア：コンデンサはファームウェア保存媒体ではない。
イ：暗号機能ではない。
ウ：通信速度設定とは無関係である。
エ：配線インダクタンスの影響を減らし、電源品質を保つため電源ピン近傍へ配置する。
総合解説：配線インダクタンスの影響を減らし、電源品質を保つため電源ピン近傍へ配置する。この問題では「デカップリング」として、デカップリングコンデンサの配置目的を理解できる。

対象：2026年度 / 基準日 2026-09-02

0123

2-5 電源・信頼性・製造 > 電源・省電力・熱設計 | 難易度：基礎

MCUのスリープモードを利用する主な省電力効果はどれか。

- ア．不要なCPUクロックや周辺回路を停止・低速化し、待機時の動的消費電力を減らす。
- イ．CPUを最高クロックでビジーループさせる。
- ウ．全GPIOを高速トグルさせる。
- エ．フラッシュを連続消去する。

答え・解説

正答：ア

ア：処理不要期間にクロックや電源ドメインを制御することで平均消費電力を下げられる。

イ：不要動作が増え省電力にならない。

ウ：スイッチング電力が増える。

エ：省電力にも寿命にも不利である。

総合解説：処理不要期間にクロックや電源ドメインを制御することで平均消費電力を下げられる。この問題では「スリープモード」として、低消費電力モードで不要クロックを停止する効果を理解できる。

対象：2026年度 / 基準日 2026-09-02

0124

2-5 電源・信頼性・製造 > 電源・省電力・熱設計 | 難易度：標準

5V入力から3.3VをLDOで生成し、負荷電流が0.2Aである。LDO自身の消費を無視すると損失電力は約いくらか。

- ア．0.66W（負荷側出力電力）
- イ．0.34W（LDOの電圧差×負荷電流）
- ウ．1.0W（入力電力）
- エ．1.7W（電圧差だけを電力扱い）

答え・解説

正答：イ

ア： $3.3V \times 0.2A$ は負荷側出力電力である。

イ： $(5.0-3.3)V \times 0.2A=0.34W$ である。

ウ： $5V \times 0.2A$ は入力電力である。

エ：電圧差1.7VをそのままWとみなしている。

総合解説： $(5.0-3.3)V \times 0.2A=0.34W$ である。この問題では「LDO損失計算」として、LDOの損失電力を計算できる。

対象：2026年度 / 基準日 2026-09-02

0125

2-5 電源・信頼性・製造 > 電源・省電力・熱設計 | 難易度：標準

処理性能に余裕があるCMOS MCUで動的消費電力を下げる方向として最も適切なものはどれか。

- ア．電源電圧とクロックを常に最大へ上げる。
- イ．未使用周辺にも常時クロックを供給する。
- ウ．クロック周波数や可能なら電源電圧を下げ、不要なスイッチングを減らす。
- エ．待機中も演算器を連続動作させる。

答え・解説

正答：ウ

ア：動的消費電力を増やす方向である。
イ：不要なスイッチングが増える。
ウ：動的電力は容量・電圧二乗・周波数・スイッチング率に依存するため、電圧・周波数低減が有効である。
エ：待機電力を増やす。
総合解説：動的電力は容量・電圧二乗・周波数・スイッチング率に依存するため、電圧・周波数低減が有効である。この問題では「DVFS」として、CMOSの動的消費電力と電圧・周波数の関係を理解できる。

対象：2026年度 / 基準日 2026-09-02

0126

2-5 電源・信頼性・製造 > 電源・省電力・熱設計 | 難易度：標準

容量2000mAhの電池を平均10mAで消費する装置に使う。理想化して全容量を利用できると仮定した寿命は約何時間か。

- ア．20時間（容量を10分の1側へ換算）
- イ．2000時間（電流で割らず容量値を採用）
- ウ．0.2時間（mAhとmAの単位関係を逆解釈）
- エ．200時間（電池容量÷平均電流）

答え・解説

正答：エ

ア：1桁小さい。
イ：電流で割る計算が誤っている。
ウ：mAhとmAの関係を誤っている。
エ：2000mAh÷10mA=200hである。実際には温度や放電率、自己放電等で短くなる。
総合解説：2000mAh÷10mA=200hである。実際には温度や放電率、自己放電等で短くなる。この問題では「電池寿命概算」として、平均消費電流から電池寿命を概算できる。

対象：2026年度 / 基準日 2026-09-02

0127 2-5 電源・信頼性・製造 > 電源・省電力・熱設計 | 難易度：標準

周囲温度40℃、消費電力2W、接合部-周囲間熱抵抗 $\theta_{JA}=30$ ℃/Wと単純化する。接合温度の概算値はどれか。

- ア．約100℃（周囲温度+消費電力×熱抵抗）
- イ．約70℃（温度上昇を半分程度で見積り）
- ウ．約40℃（周囲温度だけ）
- エ．約15℃（発熱しても周囲温度より低いと仮定）

答え・解説 正答：ア

ア：温度上昇は $2W \times 30$ ℃/W=60℃、周囲40℃を加えて約100℃となる。

イ：消費電力を十分反映していない。

ウ：発熱による温度上昇を無視している。

エ：周囲温度より低くなる計算ではない。

総合解説：温度上昇は $2W \times 30$ ℃/W=60℃、周囲40℃を加えて約100℃となる。この問題では「接合温度計算」として、熱抵抗から接合温度を概算できる。

対象：2026年度 / 基準日 2026-09-02

0128 2-5 電源・信頼性・製造 > 電源・省電力・熱設計 | 難易度：標準

SoCの接合温度が上限に近い。消費電力を変えずに温度上昇を抑える対策として適切な方向性はどれか。

- ア．断熱材で完全に包む。
- イ．放熱銅箔、サーマルビア、ヒートシンク、エアフローなどで熱抵抗を下げる。
- ウ．温度上限を仕様から削除する。
- エ．発熱部品を一か所へ密集させる。

答え・解説 正答：イ

ア：熱が蓄積し悪化する。

イ：発生熱を周囲へ逃がす熱経路を改善すると接合温度上昇を抑えられる。

ウ：信頼性を確保できない。

エ：局所温度上昇を増やし得る。

総合解説：発生熱を周囲へ逃がす熱経路を改善すると接合温度上昇を抑えられる。この問題では「熱対策」として、熱抵抗を下げる具体的な放熱対策を判断できる。

対象：2026年度 / 基準日 2026-09-02

0129

2-5 電源・信頼性・製造 > 電源・省電力・熱設計 | 難易度：応用

センサを1秒ごとに読むが無線送信は1分ごとでよい。平均消費電力を下げる方針として最も適切なものはどれか。

- ア．無線を最高出力で常時送信する。
- イ．計測のたびにフラッシュを全消去する。
- ウ．低電力タイマで周期起床し、短時間で計測して再スリープし、データをまとめて1分ごとに送信する。
- エ．1分間ビジーループする。

答え・解説

正答：ウ

- ア：待機電力が大きい。
 - イ：電力と寿命に不利である。
 - ウ：CPUと無線のオン時間を減らし、通信起動回数も削減できる。
 - エ：不要な動作電力を消費する。
- 総合解説：CPUと無線のオン時間を減らし、通信起動回数も削減できる。この問題では「ウェイクアップ集約」として、低頻度処理で起床時間を短くし通信を集約する省電力設計ができる。

対象：2026年度 / 基準日 2026-09-02

0130

2-5 電源・信頼性・製造 > 電源・省電力・熱設計 | 難易度：応用

無線送信開始時に大きな突入電流が流れ、3.3V電源が一時的に2.8Vまで低下してMCUがリセットする。最も適切な改善方針はどれか。

- ア．平均消費電流だけ確認し瞬時電流は無視する。
- イ．リセット検出を無効にする。
- ウ．送信時にさらにクロックと送信電力を最大化する。
- エ．電源の過渡応答、配線インピーダンス、局所容量、レギュレータ電流能力を測定し必要なマージンを確保する。

答え・解説

正答：エ

- ア：障害原因を評価できない。
 - イ：低電圧誤動作の危険が増える。
 - ウ：問題を悪化させ得る。
 - エ：平均電流だけでなく瞬時負荷変動への電源応答を評価し、ブラウンアウト閾値を下回らないよう設計する。
- 総合解説：平均電流だけでなく瞬時負荷変動への電源応答を評価し、ブラウンアウト閾値を下回らないよう設計する。この問題では「電源過渡設計」として、突入電流による電圧降下を電源過渡応答から評価できる。

対象：2026年度 / 基準日 2026-09-02

0131

2-5 電源・信頼性・製造 > 高信頼化・故障対策・フェールセーフ | 難易度：基礎

フェールセーフ設計の説明として最も適切なものはどれか。

- ア．故障が発生してもシステムを安全側の状態へ移行・保持するよう設計する。
- イ．故障時に必ず性能を最大化する。
- ウ．故障検出を行わず通常動作を継続する。
- エ．全故障をソフトウェアだけで消滅させる。

答え・解説

正答：ア

- ア：フェールセーフは故障時の危険を低減するため安全状態へ導く考え方である。
- イ：安全より性能を優先する考え方ではない。
- ウ：危険側故障を放置する可能性がある。
- エ：現実的な信頼性設計ではない。

総合解説：フェールセーフは故障時の危険を低減するため安全状態へ導く考え方である。この問題では「フェールセーフ」として、フェールセーフの基本思想を説明できる。

対象：2026年度 / 基準日 2026-09-02

0132

2-5 電源・信頼性・製造 > 高信頼化・故障対策・フェールセーフ | 難易度：基礎

独立ウォッチドッグタイマが検出しやすい故障はどれか。

- ア．センサの取付位置が1mmずれたことを直接検出する。
- イ．ソフトウェアが停止・暴走し、所定時間内に正常な監視更新を行えない状態。
- ウ．全メモリの多ビット誤りを自動訂正する。
- エ．無線盗聴者を識別する。

答え・解説

正答：イ

- ア：ウォッチドッグ単独では物理位置ずれを測れない。
- イ：時間監視により制御フロー異常を検出し、リセットや安全状態移行へ利用できる。
- ウ：ECC等の役割である。
- エ：セキュリティ認証機能ではない。

総合解説：時間監視により制御フロー異常を検出し、リセットや安全状態移行へ利用できる。この問題では「ウォッチドッグ故障検出」として、独立ウォッチドッグで検出しやすい故障を理解できる。

対象：2026年度 / 基準日 2026-09-02

0133

2-5 電源・信頼性・製造 > 高信頼化・故障対策・フェールセーフ | 難易度：基礎

安全関連MCUでRAMの単一ビット反転に対する耐性を高めたい。代表的な機構はどれか。

- ア．PWM出力だけ
- イ．UARTストップビットだけ
- ウ．ECC付きRAM
- エ．I2Cプルアップだけ

答え・解説

正答：ウ

ア：メモリ誤り訂正ではない。

イ：RAM誤りを訂正しない。

ウ：SECEDED等のECCにより単一ビット誤り訂正や複数ビット誤り検出を行える構成がある。

エ：バス信号レベル用である。

総合解説：SECEDED等のECCにより単一ビット誤り訂正や複数ビット誤り検出を行える構成がある。この問題では「ECCメモリ」として、ECC RAMによる単一ビット誤り対策を理解できる。

対象：2026年度 / 基準日 2026-09-02

0134

2-5 電源・信頼性・製造 > 高信頼化・故障対策・フェールセーフ | 難易度：標準

同じ電源ICから給電される同一型センサを2個設置した。冗長化したから全故障に強いと判断することの問題点はどれか。

- ア．センサを2個にすると故障率が必ず0になる。
- イ．同じ電源を共有すると独立性が最大になる。
- ウ．冗長化では診断機能が不要になる。
- エ．共通電源故障や同一設計欠陥など、両系統を同時に失わせる共通原因故障が残る。

答え・解説

正答：エ

ア：故障は完全には消えない。

イ：むしろ共通故障要因になり得る。

ウ：異常系統を識別する診断が重要である。

エ：冗長化では独立性を評価し、共通原因故障への対策が必要である。

総合解説：冗長化では独立性を評価し、共通原因故障への対策が必要である。この問題では「共通原因故障」として、冗長化でも共通原因故障が残ることを説明できる。

対象：2026年度 / 基準日 2026-09-02

0135

2-5 電源・信頼性・製造 > 高信頼化・故障対策・フェールセーフ | 難易度：標準

一定故障率を仮定し、故障率 $\lambda=1 \times 10^{-5}$ /h の部品のMTBFを $1/\lambda$ で概算すると何時間か。

- ア．100,000時間（MTBF=1/故障率）
- イ．10,000時間（1桁小さい逆数）
- ウ．1,000,000時間（1桁大きい逆数）
- エ．0.00001時間（故障率そのものを時間扱い）

答え・解説

正答：ア

ア： $1 \div 10^{-5}=10^5=100,000$ 時間である。

イ：1桁小さい。

ウ：1桁大きい。

エ：故障率そのものとMTBFを混同している。

総合解説： $1 \div 10^{-5}=10^5=100,000$ 時間である。この問題では「MTBF計算」として、一定故障率モデルでMTBFを計算できる。

対象：2026年度 / 基準日 2026-09-02

0136

2-5 電源・信頼性・製造 > 高信頼化・故障対策・フェールセーフ | 難易度：標準

FMEAで各部品・機能の故障モードを洗い出した後に行う分析として最も適切なものはどれか。

- ア．全故障モードを同じ影響として扱う。
- イ．各故障モードが上位機能や安全へ与える影響、原因、検出方法、対策を評価する。
- ウ．故障発生までレビューを禁止する。
- エ．部品価格だけを並べる。

答え・解説

正答：イ

ア：影響差を分析するのが重要である。

イ：FMEAは故障モードを起点に影響を体系的に分析し、弱点や対策を明らかにする。

ウ：FMEAは予防的設計分析である。

エ：故障影響分析にならない。

総合解説：FMEAは故障モードを起点に影響を体系的に分析し、弱点や対策を明らかにする。この問題では「FMEA」として、FMEAの故障モード起点の分析手順を理解できる。

対象：2026年度 / 基準日 2026-09-02

0137

2-5 電源・信頼性・製造 > 高信頼化・故障対策・フェールセーフ | 難易度：標準

CPUが計算したモータ出力指令が異常値になった場合に危険出力を遮断したい。高信頼化として有効な方策はどれか。

- ア．主CPUが常に正常だと仮定し監視しない。
- イ．異常指令が出たら出力を最大化する。
- ウ．独立した監視回路または別監視系で範囲・時間監視を行い、異常時に安全側へ遮断する。
- エ．監視結果を無視する。

答え・解説

正答：ウ

ア：単一故障で危険出力に至り得る。
イ：フェールセーフでない。
ウ：主制御系と独立性を持つ監視により、主系故障で診断まで失うリスクを下げられる。
エ：安全移行の目的を満たさない。
総合解説：主制御系と独立性を持つ監視により、主系故障で診断まで失うリスクを下げられる。この問題では「独立監視」として、主制御から独立した監視で危険出力を遮断する設計ができる。

対象：2026年度 / 基準日 2026-09-02

0138

2-5 電源・信頼性・製造 > 高信頼化・故障対策・フェールセーフ | 難易度：標準

電源電圧がMCUの正常動作保証範囲を下回る途中で不定動作することを避けたい。適切な機能はどれか。

- ア．低電圧時ほどクロックを無制限に上げる。
- イ．電圧監視を無効化する。
- ウ．RAMをランダムに書き換える。
- エ．ブラウンアウト検出で閾値以下になったらリセットまたは安全状態へ移行する。

答え・解説

正答：エ

ア：タイミング余裕を悪化させ得る。
イ：異常を検出できない。
ウ：信頼性を損なう。
エ：動作保証外へ下がる前に既知状態へ移すことで不定動作を抑える。
総合解説：動作保証外へ下がる前に既知状態へ移すことで不定動作を抑える。この問題では「低電圧故障対策」として、ブラウンアウト検出で低電圧誤動作を防止できる。

対象：2026年度 / 基準日 2026-09-02

0139

2-5 電源・信頼性・製造 > 高信頼化・故障対策・フェールセーフ | 難易度：応用

産業機器の加熱ヒータ制御で、温度センサ断線時に過熱を防止したい。最も適切な構成はどれか。

- ア．断線を診断できる入力範囲監視を行い、異常時はヒータOFFへ移行し、必要に応じ独立過温度保護も設ける。
- イ．読めない場合は最大加熱へ切り替える。
- ウ．断線は起こらない前提にする。
- エ．最後の高出力値を永久保持する。

答え・解説

正答：ア

ア：危険側出力を止める安全状態と診断、独立保護を組み合わせると単一故障への耐性を高められる。

イ：過熱危険を増やす。

ウ：現実的な故障モードを無視している。

エ：故障後も危険出力が継続する。

総合解説：危険側出力を止める安全状態と診断、独立保護を組み合わせると単一故障への耐性を高められる。この問題では「安全状態設計」として、センサ断線時に安全状態へ移行する構成を設計できる。

対象：2026年度 / 基準日 2026-09-02

0140

2-5 電源・信頼性・製造 > 高信頼化・故障対策・フェールセーフ | 難易度：応用

主CPUと安全監視ソフトを同じCPU・同じRAM・同じクロックで動かしている。高い安全要求に対して追加評価が必要な理由はどれか。

- ア．同じCPUなら監視だけは必ず正常に残る。
- イ．CPU、RAM、クロックなどの共通故障で主制御と監視が同時に失われる可能性があるため、独立性と診断範囲を評価する必要がある。
- ウ．ソフトを二つ書けば物理故障は必ず無効化できる。
- エ．安全監視では故障分析が不要である。

答え・解説

正答：イ

ア：共通資源故障で双方が影響を受ける。

イ：安全系は主系から十分に独立しているか、共通原因故障への診断・冗長化を含めて設計する必要がある。

ウ：共通ハードウェア故障は残る。

エ：むしろ重要である。

総合解説：安全系は主系から十分に独立しているか、共通原因故障への診断・冗長化を含めて設計する必要がある。この問題では「安全監視の独立性」として、安全監視と主制御の共通資源依存を評価できる。

対象：2026年度 / 基準日 2026-09-02

0141

2-5 電源・信頼性・製造 > EMC・ノイズ・環境耐性・製造試験 | 難易度：基礎

EMCにおける「イミュニティ」の説明として最も適切なものはどれか。

- ア．機器が外部へ出す妨害の大きさだけ。
- イ．CPU命令の実行速度。
- ウ．外来の電磁妨害を受けても機器が所定の性能を維持できる能力。
- エ．フラッシュメモリ容量。

答え・解説

正答：ウ

ア：これはエミッション側の概念である。

イ：EMC耐性とは無関係である。

ウ：イミュニティは外部からの電磁現象への耐性を表す。

エ：EMCの定義ではない。

総合解説：イミュニティは外部からの電磁現象への耐性を表す。この問題では「EMC基本概念」として、EMCのイミュニティとエミッションを区別できる。

対象：2026年度 / 基準日 2026-09-02

0142

2-5 電源・信頼性・製造 > EMC・ノイズ・環境耐性・製造試験 | 難易度：基礎

IEC 61000-4-2が主に扱う試験はどれか。

- ア．落下衝撃だけの機械試験
- イ．ソースコード静的解析
- ウ．フラッシュ書換え寿命試験だけ
- エ．静電気放電（ESD）に対するイミュニティ試験

答え・解説

正答：エ

ア：機械環境試験の領域である。

イ：EMC規格ではない。

ウ：ESD耐性とは別である。

エ：人や周辺物体からの静電気放電に対する電気電子機器の耐性試験方法を規定する。

総合解説：人や周辺物体からの静電気放電に対する電気電子機器の耐性試験方法を規定する。この問題では「ESDイミュニティ」として、IEC 61000-4-2がESDイミュニティ試験であることを理解できる。

対象：2026年度 / 基準日 2026-09-02

0143

2-5 電源・信頼性・製造 > EMC・ノイズ・環境耐性・製造試験 | 難易度：基礎

リレー接点や誘導性負荷のスイッチングに伴う反復的な高速過渡現象への耐性を評価するIEC規格はどれか。

- ア．IEC 61000-4-4
- イ．IEC 61000-4-2だけ
- ウ．USB 2.0
- エ．MQTT 5.0

答え・解説

正答：ア

ア：電源・信号・制御線などに加わる電氣的ファストランジェント/バーストへのイミュニティ試験を扱う。
イ：主にESDを対象とする。
ウ：通信仕様である。
エ：メッセージング仕様である。
総合解説：電源・信号・制御線などに加わる電氣的ファストランジェント/バーストへのイミュニティ試験を扱う。この問題では「EFT/Burst」として、EFT/Burst試験の対象を理解できる。

対象：2026年度 / 基準日 2026-09-02

0144

2-5 電源・信頼性・製造 > EMC・ノイズ・環境耐性・製造試験 | 難易度：標準

電源線へ雷誘導や大規模スイッチングに起因する単方向の大きな過電圧が加わる耐性を評価したい。適した規格はどれか。

- ア．IEC 61000-4-2（ESDイミュニティ試験）
- イ．IEC 61000-4-5（サージイミュニティ試験）
- ウ．I2C UM10204（I2Cバス仕様）
- エ．IEEE 802.3（Ethernet規格）

答え・解説

正答：イ

ア：主にESDを対象とする。
イ：雷やスイッチング過渡に起因するサージへのイミュニティ試験を扱う。
ウ：シリアルバス仕様である。
エ：Ethernet規格である。
総合解説：雷やスイッチング過渡に起因するサージへのイミュニティ試験を扱う。この問題では「サージイミュニティ」として、サージイミュニティ規格を選定できる。

対象：2026年度 / 基準日 2026-09-02

0145

2-5 電源・信頼性・製造 > EMC・ノイズ・環境耐性・製造試験 | 難易度：標準

高速デジタル信号のEMIを抑えるPCB設計として最も適切なものはどれか。

- ア：リターン電流を基板全体へ遠回りさせる。
- イ：高速信号の下でGNDプレーンを無計画に分断する。
- ウ：信号の近傍に連続したリターンパスを確保し、電流ループ面積を小さくする。
- エ：クロック線を長く並走させる。

答え・解説

正答：ウ

ア：ループ面積が増える。

イ：リターン経路が迂回する。

ウ：往復電流経路を近接させるとループ面積と放射を抑えやすい。

エ：結合や放射を悪化させ得る。

総合解説：往復電流経路を近接させるとループ面積と放射を抑えやすい。この問題では「PCBリターンパス」として、高速信号のリターンパスとループ面積からEMIを評価できる。

対象：2026年度 / 基準日 2026-09-02

0146

2-5 電源・信頼性・製造 > EMC・ノイズ・環境耐性・製造試験 | 難易度：標準

高速差動信号のEMIと信号品質を改善する配線方針として適切なものはどれか。

- ア：片側だけ極端に長くする。
- イ：ペア間隔を無制限に広げる。
- ウ：インピーダンス管理を行わない。
- エ：差動ペアを近接・並走させ、長さや環境の非対称を抑え、インピーダンスを管理する。

答え・解説

正答：エ

ア：スキューと非対称が増える。

イ：差動結合を損ねる。

ウ：高速信号では反射に影響する。

エ：差動ペアのバランスを保つとコモンモード変換や反射を抑えやすい。

総合解説：差動ペアのバランスを保つとコモンモード変換や反射を抑えやすい。この問題では「差動信号配線」として、差動ペアの対称性とインピーダンス管理の重要性を説明できる。

対象：2026年度 / 基準日 2026-09-02

0147

2-5 電源・信頼性・製造 > EMC・ノイズ・環境耐性・製造試験 | 難易度：標準

車載ECUをエンジン近傍へ搭載する。量産前に特に評価すべき環境負荷の組合せはどれか。

- ア．温度変化、高温・低温、振動・機械衝撃など実搭載位置に応じた環境負荷。
- イ．オフィス机上の静置だけを想定する。
- ウ．文字コードだけを確認する。
- エ．CPUクロックだけを測る。

答え・解説

正答：ア

ア：ISO 16750シリーズでは搭載位置に応じた機械・気候等の負荷と試験を扱う。

イ：実使用環境と異なる。

ウ：環境耐性評価にならない。

エ：機械・気候負荷を評価できない。

総合解説：ISO 16750シリーズでは搭載位置に応じた機械・気候等の負荷と試験を扱う。この問題では「環境耐性試験」として、使用環境に応じた車載環境試験を選定できる。

対象：2026年度 / 基準日 2026-09-02

0148

2-5 電源・信頼性・製造 > EMC・ノイズ・環境耐性・製造試験 | 難易度：標準

高密度BGAを搭載した基板で外観から見えないデジタル配線の接続性を効率よく検査したい。利用を検討できる方式はどれか。

- ア．UARTパリティだけ
- イ．JTAG/IEEE 1149.1の境界スキャン
- ウ．MQTT QoS 2だけ
- エ．PWMデューティ比だけ

答え・解説

正答：イ

ア：通信データ誤り検出で基板配線全体の構造試験ではない。

イ：境界スキャンはピン周辺のテストセルを用いて実装後基板のデジタル接続性試験に利用できる。

ウ：ネットワーク配送保証である。

エ：接続性の網羅的検査にはならない。

総合解説：境界スキャンはピン周辺のテストセルを用いて実装後基板のデジタル接続性試験に利用できる。この問題では「製造試験方式」として、境界スキャンを高密度基板の接続性試験に利用できる。

対象：2026年度 / 基準日 2026-09-02

0149

2-5 電源・信頼性・製造 > EMC・ノイズ・環境耐性・製造試験 | 難易度：応用

試作最終段階で放射エミッション超過が判明し大規模基板改版が必要になった。次機種での改善方針として最も適切なものはどれか。

ア．量産直前までEMCを検討しない。

イ．EMCは全てソフトウェアだけで解決できると仮定する。

ウ．設計初期からクロック、電流ループ、層構成、リターンパス、フィルタ、シールド、コネクタ経路をEMCレビューへ組み込む。

エ．基板配線を無作為に長くする。

答え・解説

正答：ウ

ア：手戻り再発リスクが高い。

イ：物理設計要因も大きい。

ウ：EMCは物理設計に強く依存するため、初期から対策すると手戻りを減らせる。

エ：ノイズを悪化させ得る。

総合解説：EMCは物理設計に強く依存するため、初期から対策すると手戻りを減らせる。この問題では「EMC設計レビュー」として、EMCを設計初期からレイアウト・筐体・電源と統合して検討できる。

対象：2026年度 / 基準日 2026-09-02

0150

2-5 電源・信頼性・製造 > EMC・ノイズ・環境耐性・製造試験 | 難易度：応用

量産基板でICTは全件PASSするが、市場でセンサ動作不良が発生している。最も適切な改善方針はどれか。

ア．ICTがPASSなら故障は絶対ないと判断する。

イ．市場不良を記録しない。

ウ．機能試験を削除し外観検査だけにする。

エ．ICTで検出できる故障範囲を確認し、実センサ入力・通信・電源過渡などを確認する機能試験を追加して補完する。

答え・解説

正答：エ

ア：ICTで全ての動的機能故障を検出できるわけではない。

イ：試験改善へフィードバックできない。

ウ：検出範囲を狭める。

エ：試験方式ごとに検出可能な故障が異なるため、構造試験と機能試験を組み合わせる。

総合解説：試験方式ごとに検出可能な故障が異なるため、構造試験と機能試験を組み合わせる。この問題では「量産テスト戦略」として、ICTと機能試験の検出範囲を組み合わせで量産試験カバレッジを高められる。

対象：2026年度 / 基準日 2026-09-02